

[19] Japan Patent Office (JP)

[11] Japanese Patent Laid-Open Number: Hei 9-223459

[12] Publication of Unexamined Patent Applications (A)

[43] Laid-Open Date: Heisei 9-8-26 (August 26, 1997)

[51] Int. Cl. <sup>6</sup>	Identification Code	Office Reference Number	F1
H 01 J	9/02	H 01 J	9/02
	31/12		31/12
			B
			C

Request for Examination: No request to be done

Number of Claims: 5 FD (twenty-three pages in total)

[54] Title of the Invention: ELECTRON EMITTING DEVICE, ELECTRON SOURCE AND MANUFACTURING METHOD OF IMAGE FORMING APPARATUS

[21] Application Number: Hei 8-52551

[22] Filed: Heisei 8-2-16 (February 16, 1996)

[71] Applicant: 000001007

CANON INC.

30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo

[72] Inventor: Takeo Ono

CANON INC.

30-2, Shimomaruko 3-chome, Ohta-ku, Tokyo

[74] Agent: Attorney Tetsuya Ito (and one others)

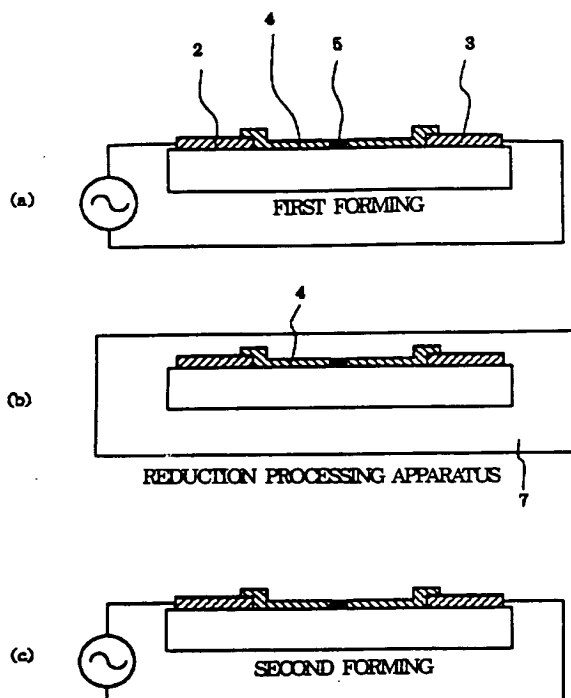
(54) [TITLE OF THE INVENTION] ELECTRON EMITTING DEVICE, ELECTRON SOURCE AND MANUFACTURING METHOD OF IMAGE FORMING APPARATUS

(57) [ABSTRACT]

[OBJECT] To provide an electron emitting device easily increased for its area and having good power efficiency, and an image forming apparatus using this electron emitting device and having little uneven luminance.

[CONSTITUTION] In the manufacturing method of an electron emitting device including a conduc-

tive film 4, which has an electron emitting section 5 formed between electrodes 2 and 3, a process of forming the electron emitting section 5 includes the steps of: reducing the conductive film made of oxide, or metal and oxide; and supplying power to the conductive film, which is carried out before or after the reducing step.



#### [CLAIMS]

[Claim 1] A manufacturing method of an electron emitting device including a conductive film, which has an electron emitting section formed between electrodes, is characterized in that a process of forming said electron emitting section includes the steps of: reducing a conductive film made of oxide, alternatively metal and oxide; and supplying power to the conductive film, which is carried out before/after the reducing step.

[Claim 2] A manufacturing method of an electron emitting device according to claim 1, characterized in that said conductive film is made of oxide selected from the group consisting of  $\text{PdO}$ ,  $\text{SnO}_2$ ,  $\text{In}_2\text{O}_3$ ,  $\text{PbO}$ ,  $\text{Sb}_2\text{O}_3$ ,  $\text{MoO}$  and  $\text{MoO}_2$ , alternatively a mixture of metal and said oxide, the metal being selected from the group consisting of  $\text{Pd}$ ,  $\text{Pt}$ ,  $\text{Ru}$ ,  $\text{Ag}$ ,  $\text{Au}$ ,  $\text{Ti}$ ,  $\text{In}$ ,  $\text{Mo}$ ,  $\text{Cu}$ ,  $\text{Cr}$ ,  $\text{Fe}$ ,  $\text{Zn}$ ,  $\text{Sn}$ ,  $\text{Ta}$ ,  $\text{W}$  and  $\text{Pb}$ .

[Claim 3] A manufacturing method of an electron emitting device according to any one of claims 1 and 2, characterized in that said power supplying step carried out before the reducing step is finished when a current flowing to the conductive film becomes a specified current value, alternatively lower.

[Claim 4] A manufacturing method of an electron source including a plurality of electron emitting devices disposed on a substrate is characterized in that said electron emitting devices are manufactured by any of the methods specified in claims 1 to 3.

[Claim 5] A manufacturing method of an image forming apparatus including an electron source having a plurality of electron emitting devices disposed on a substrate and an image forming member adapted to form an

image by irradiation with electrons from the electron source is characterized in that said electron emitting devices are manufactured by any of the methods specified in claims 1 to 3.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[Technical Field of the Invention] The present invention relates to an electron emitting device, an electron source and a manufacturing method of an image forming apparatus.

[0002]

[Prior Art] Conventionally, two kinds of electron emitting devices have been known: a thermoelectron source and a cold cathode electron source. As cold cathode electron sources, there are available a field emission type (abbreviated to an FE type, hereinafter), a metallic/insulating layer/metallic type (abbreviated to an MIM type, hereinafter), a surface conductive electron emitting device, and so on. Examples of FE types include those described in "Field emission" by W. P. Dyke & W. W. Dolan, *Advance in Electron Physics*, 8,89 (1956), "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones" by C. A. Spindt, *J. Appl. Phys.*, 47,52488 (1976), and so on.

[0003] Examples of MIM types include those disclosed in "Operation of Tunnel-Emission Devices" by C. A. Mead, *J. Apply. Physics.*, 32,646 (1961), and so on.

[0004] Examples of surface conductive electron emitting devices include those described in *Radio Eng. Electron Phys.*, 10, (1965) by M. I. Elinson, and so on.

[0005] The surface conductive electron emitting device utilizes a phenomenon of electron emission generated by supplying a current to a small-area thin film formed on a substrate in parallel with a film surface. Examples of such surface conductive electron emitting devices include those using an  $\text{SnO}_2$  thin film presented in the foregoing report by Elinson and et al., using an Au thin film presented in "Thin Solid Films", 9,317 (1972) by G. Dittmer, using an  $\text{In}_2\text{O}_3/\text{SnO}_2$  thin film presented in "IEEE Trans. ED Conf.", 519 (1975) by M. Hartwell and C. G. Fonstad, using a carbon thin film presented in p. 22 of "Vacuum", vol. 26, 1st edition (1983), by H. Araki and et al., and so on.

[0006] As a typical example of device constitutions of the above surface conductive electron emitting devices, the device constitution by M. Hartwell is shown in Fig. 23. In the drawing, a reference numeral 221 denotes a substrate. A reference numeral 224 denotes a conductive thin film, which is a metallic oxide thin film or the like formed in the pattern of an H shape by sputtering. An electron emitting section 223 is formed by later-described energization called energization forming. In the drawing, an interval L between device electrodes is set in a range of 0.5 to 1mm, and W is set to 0.1mm. The electron emitting section 223 is shown only schematically because of undetermined position and shape thereof.

[0007] Conventionally, in the surface conductive electron emitting device, the electron emitting section 223 has generally been formed by performing energization called energization forming for the conductive thin film 224 before electron emission is carried out. The energization forming specifically means that DC voltages or very slow boosted voltages, e.g., about 1 V/min., are applied to both ends of the conductive thin film 224 for energization, the conductive thin film 224 is locally fractured, deformed or changed in quality, and then the electron emitting section 223 set in a high electric resistance state is formed. In the electron emitting section 223, electron emission is performed from the vicinity of fissures, which partially occur in the conductive thin film 224. The surface conductive electron emitting device subjected to the energization forming is adapted to emit electrons from the electron emitting section 223 by applying a voltage to the conductive thin film 224 and supplying currents to the devices.

[0008] The foregoing surface conductive electron emitting device is advantageous in that a number of devices can be arrayed and formed in a large area because of its simple structure and easy manufacturing. Thus, various application studies have been conducted to make use of this feature. Examples include a charged beam source, a display device, and so on. An example of arraying and forming a number of surface conductive electron emitting devices may be, as described later, an electron source constructed in a manner that surface conductive electron emitting devices are arrayed in parallel (called ladder arrangement), and many rows of connected devices are arrayed, both ends of each device being connected by a wiring (called a common wiring) (e.g., Patent Laid-Open Sho 64 (1989)-031332, Patent Laid-

Open Hei 1 (1989)-283749, Patent Laid-Open H2 (1990)-25752 or the like). In recent years, especially in an image forming apparatus of a display device or the like, a flat-plate display device has gained in popularity instead of a CRT. But this display device is not a selfluminous type, and problems of a need to provide a back light, and so on, have been inherent. Thus, developments of selfluminous display devices have been demanded. An example of such a selfluminous display device may be an image forming apparatus, which is a display device constructed in a manner that an electron source having a number of surface conductive electron emitting devices arrayed is combined with a fluorescent substance capable of emitting visible lights by electrons from the electron source (e.g., USP 5066883).

[0009]

[Problems to be solved by the invention] Conventionally, the conductive thin film 224 has been made of a material having sufficient resistance compared with a metallic film. This is for the reason that since the electron emitting section is formed by the energization forming, a current necessary for the energization forming is increased if resistance of the conductive thin film used for forming the electron emitting section is reduced and, consequently, an impractical energization apparatus of large-current specifications must be provided for manufacturing a multi-electron source adapted to subject a plurality of devices to simultaneous energization forming.

[0010] On the other hand, in the electron source and the image forming apparatus using the electron source, following enlargement (achievement of a large area) of the device, for patterning the device electrodes or the like, a length (gap length) between the devices of the surface conductive electron emitting device should be set equal to  $3\mu\text{m}$  or higher, preferably equal to  $10\mu\text{m}$  or higher. This setting is necessary because of manufacturing problems such as performance of an exposing apparatus, yield or the like.

[0011] The forgoing conductive thin film is realized to have proper resistance by using a thin film made of a metallic oxide or a mixture of metal and oxide. However, particularly in the case of a device having a wide gap length, a problem of distribution occurred regarding widths of fissures formed in the electrode gap during forming. Such distribution of fissure widths occurred, because the wide gap increased the distribution of resis-

tance generated by film thickness distribution of the conductive thin film in the gap, and power consumed by the energization forming differed locally. When electrons are emitted from the fissure portions by applying a voltage to between driving electrodes of the device having a fissure width distribution, distribution may also occur regarding field intensities applied to the fissure portions because of the above distribution, and electron emitting sections may be located one-sidedly. Consequently, a pixel center of the fluorescent substance may be shifted from an electron beam center to cause a reduction in luminance. Such has been a cause of luminance distribution. Further, in the case of the device having the film made of a metallic oxide and having a thin thickness, no forming currents flew, and no fissures were formed in some portions. This state resulted in ohmic current leakage during the driving of electron emission, and caused an increase in driving power.

[0012] Next, description will be made for fissure formation during forming by referring to Fig. 22, assuming existence of film thickness distribution of the conductive thin film. In Fig. 22(a), a reference numeral 1 denotes an insulating substrate; and 2 and 3 metallic electrodes adapted to inject electrons to devices. A reference numeral 4 denotes a conductive thin film; 217 a center portion of the conductive thin film; and 218 and 219 two ends of the conductive thin film. Forming is carried out by applying a voltage from an external power source V through the electrodes 2 and 3 to the conductive thin film. In this case, considering that a film thickness of the conductive thin film differs between the two ends 218 and 219 and the center portion 217 when an electron emitting section is formed in a center portion between the electrodes, a film thickness in the center portion 217 is set thicker than those in the two ends 218 and 219. Generally, however, there will be no problem even if a difference exists in film thickness of the conductive thin film.

[0013] In this case, assuming that a film thickness in the center portion 217 of the conductive thin film is  $d_s$ , a width  $w_s$ , and resistance  $R_s$ , and a film thickness of the conductive thin film in each of the two ends 218 and 219 is  $d_f$ , a width  $w_f$  and resistance  $R_f$ , then the devices are subjected to forming by an equivalent circuit like that shown in Fig. 22(b). If a resistivity of the conductive thin film is a fixed value  $\rho$  and power necessary for

forming is  $P_0$ , then the conductive thin film is provided with resistance components connected in parallel. Thus, a driving voltage necessary for applying the power  $P_0$  is represented by the following expression 1. A voltage in each of the two ends 218 and 219 is  $V_f$ , and a voltage in the center portion is  $V_s$ .

[0014]

[Expression 1]

$$\begin{aligned} V_f:V_s &= (P_0 \times R_f)^{1/2} : (P_0 \times R_s)^{1/2} \\ &= R_f^{1/2} : R_s^{1/2} \\ &= (d_s \times w_s)^{1/2} : (d_f \times w_f)^{1/2} \end{aligned}$$

In other words,  $V_f$  is larger as a ratio of  $d_f$  with respect to  $d_s$  is smaller. In the case of extremely thin formation, a voltage necessary for forming becomes excessively large. This state widens widths of fissures already subjected to forming, advances reduction of the conductive thin film by energization, and supplies a large current because of low resistivity. Such has been a cause of distribution of fissure widths.

[0015] Incomplete forming like that shown in Fig. 22(c) has caused an increase in power consumption because of current leakage during the driving of electron emission. An increase in the number of devices correspondingly increases current leakage. Thus, a high-quality image forming apparatus or a large-screen image forming apparatus having a number of pixels increased was disadvantageous in that power consumption became unnecessarily large. In addition, to increase power efficiency, it is necessary to limit film thickness distribution of the devices small, and to limit the degree of freedom for designing a device shape. Thus, in the case of the conductive thin film formed by a simple manufacturing method such as printing, an ink jet method, a bubble jet method or the like, it was difficult to set film thickness distribution small. Therefore, the difficulty of performing mass production has been a problem.

[0016] The present invention was made to solve the foregoing problems, and it is an object of the invention to provide an electron emitting device easily constituted, easily enlarged (increased in area) and having good power efficiency, and thus to realize an image forming apparatus having little uneven luminance.

[0017]

[Means for Solving the Problems] In order to achieve the object, in accordance with the invention, a manufacturing method of an electron emitting device including a conductive film, which has an electron emitting section formed between electrodes, is characterized in that a process of forming the electron emitting section includes the steps of: reducing a conductive film made of oxide, or metal and oxide; and supplying power to the conductive film, which is carried out before or after the reducing step.

[0018] The manufacturing method is also characterized in that the conductive film is made of oxide selected from the group consisting of PdO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, PbO, Sb<sub>2</sub>O<sub>3</sub>, MoO and MoO<sub>2</sub>, alternatively a mixture of this oxide and metal selected from the group consisting of Pd, Pt, Ru, Ag, Au, Ti, In, Mo, Cu, Cr, Fe, Zn, Sn, Ta, W and Pb.

[0019] The manufacturing method is also characterized in that the power supplying step carried out before the reducing step is finished when a current flowing to the conductive film becomes a specified current value or lower.

[0020] A manufacturing method of an electron source including a plurality of electron emitting devices disposed on a substrate is characterized in that the electron emitting devices are manufactured by any of the foregoing methods.

[0021] A manufacturing method of an image forming apparatus including an electron source having a plurality of electron emitting devices disposed on a substrate and an image forming member adapted to form an image by irradiation with electrons emitted from the electron source is characterized in that the electron emitting devices are manufactured by any of the foregoing methods.

[0022]

[Preferred Embodiments of the Invention] Next, description will be made for the preferred modes of carrying out the present invention. First, a forming step as one of the features of the invention will be described by referring to Fig. 1. An energization operation called energization forming conducts power from a not-shown power source to between device electrodes 2 and 3, and forms an electron emitting section 5 changed in structure in the portion of a conductive thin film 4. By means of this energization forming, the conductive thin film 4 is locally fractured, deformed or changed

in quality, and a structure-changed portion is called an electron emitting section 5. An example of a voltage waveform of the energization forming is shown in Fig. 2.

[0023] T1 and T2 in Fig. 2 denote a pulse width and a pulse interval of a voltage waveform. T1 is set in a range of 1 microsecond to 10 millisecond, and T2 is set in a range of 10 microsecond to 100 millisecond. A peak value of a triangular wave (peak voltage of an energization forming pulse) is increased by, for instance 0.1V step, and application is performed under proper vacuum atmosphere.

[0024] A peak value of a triangular wave and a current value at the peak value are shown in Fig. 3. A peak value of a current is  $I_{max}$ , and a voltage at this time is  $V_{max}$ .

[0025] Usually, energization forming is finished by checking a current value at the time of maximum voltage application of a triangular wave. Specifically, an device current is measured by a voltage for bringing about no local fracture or deformation of the conductive thin film 4 in the peak value interval T2, e.g., by a voltage of about the 0.1V, and a resistance value is obtained. Then, if the resistance value shows 1M ohm or higher, energization forming is finished. However, if achievement of high resistance is difficult because of the foregoing film thickness distribution of the conductive thin film, forming of a first round is finished when a fixed rate of a current value with respect to  $I_{max}$  is reached. A rate with respect to  $I_{max}$  is properly measured based on a material of the conductive thin film and an average film thickness. But the rate should preferably be set equal to 90% or lower ( $I_{end}/I_{max} \leq 0.9$ ).

[0026] Then, reducing is performed by heat treatment in vacuum, reducing gas atmosphere treatment or the like. This operation is carried out by loading the device on a reducing apparatus 7 and until a full surface of the conductive thin film 4 is completely reduced.

[0027] Lastly, the reduced conductive thin film is subjected to energization forming again. A content of this step is the same as that of the first round. Specifically, a device current is measured, and a resistance value is obtained. When the resistance value shows 1M ohm or higher, for example, the energization forming is finished. Accordingly, since the reducing operation causes a portion having a thin film thickness and relatively low resistance

to have low resistance and a current to flow, the forming is brought to an end by a low voltage.

[0028] Thus, for the electron emitting device, fissures formed by forming become uniform, and reproducibility regarding a position of the electron emitting section and an emission quantity is increased. In this way, manufacturing yield is improved. Formation of a number of devices reduces variance in electron emission quantities among the devices, and uniformity can be improved. Also, formation of the electron emitting device on a large-area substrate enables a film thickness margin of the conductive thin film to be widened by using the manufacturing method of the invention. Thus, the device can be manufactured at low costs by a simple method such as printing, an ink jet method, a bubble jet method, a spraying method or the like. With an image forming apparatus using the above electron source, a large display device having highly uniform luminance can be realized.

[0029] First, description will be made for a flat surface conductive electron emitting device. Fig. 4 is a schematic view showing constitution of a flat surface conductive electron emitting device, to which the invention can be applied. Fig. 4(a) is a plan view; and Fig. 4(b) is a sectional view. In Fig. 4, a reference numeral 1 denotes a substrate; 2 and 3 device electrodes; 4 a conductive thin film; and 5 an electron emitting section.

[0030] A material for the substrate 1 may be quartz glass, glass having a reduced impurity content such as Na or the like, blue plate glass, a glass substrate laminating  $\text{SiO}_2$  formed by sputtering or the like on the blue plate glass, ceramic such as alumina, an Si substrate or the like.

[0031] For the device electrodes 2 and 3 oppositely located, general conductive materials can be used. For example, materials may be selected from metal such as Ni, Cr, Au, Mo, W, Pt, Ti, Al, Cu, Pd or the like, and an alloy thereof, metal such as Pd, Ag, Au,  $\text{RuO}_2$ , Pd-Ag or the like, a printed conductor made of metallic oxide and glass or the like, a transparent conductor such as  $\text{In}_2\text{O}_3$  or the like, a semiconductor material such as polysilicon or the like, and so on, as occasion demands.

[0032] A device electrode interval L, a device electrode length W and a shape of the conductive thin film 4 are designed by considering a form to be applied or the like. Preferably, the device electrode interval L can be set in a range of several thousand Å to several hundred micrometers. More

preferably, it can be set in a range of several micrometers to several tens of micrometers by considering a voltage or the like to be applied to between the device electrodes.

[0033] The device electrode length  $W$  can be set in a range of several micrometers to several hundred micrometers by considering a resistance value of the electrode and an electron emission characteristic. A film thickness  $d$  of each of the device electrodes 2 and 3 can be set in a range of several hundred Å to several micrometers.

[0034] Other than the constitution shown in Fig. 4, the electron emitting device can be constituted by sequentially laminating the conductive thin film 4, the opposing device electrodes 2 and 3 on the substrate 1.

[0035] For the conductive thin film 4, to obtain a good electron emission characteristic, a fine-grain film made of fine grains should preferably be used. A film thickness thereof is properly set by considering step coverage of the device electrodes 2 and 3, resistance value between the device electrodes 2 and 3, a later-described forming condition or the like. Usually, however, a film thickness should preferably be set in a range of several Å to several thousand Å, and more preferably in a range of 10 Å to 500 Å. For a resistance value thereof,  $R_s$  is set to a value ranging from  $10^2$  to  $10^7$   $\Omega/\square$ .  $R_s$  appears when resistance  $R$  of a thin film having a thickness  $t$ , a width  $W$  and a length  $l$  is  $R=R_s(l/w)$ .

[0036] A material for the conductive thin film 4 may be properly selected from oxide such as PdO,  $\text{SnO}_2$ ,  $\text{In}_2\text{O}_3$ , PbO,  $\text{Sb}_2\text{O}_3$ , MoO,  $\text{MoO}_2$  or the like, a mixture of this oxide and metal such as Pd, Pt, Ru, Ag, Au, Ti, In, Mo, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb or the like.

[0037] The fine-grain film described herein is a film made of a collection of a plurality of fine grains, and its fine structure takes a state where fine grains are individually dispersed and arranged, alternatively a state where fine grains are adjacent to one another or laid over one another (including a case where some fine grains are collected to form a crystal structure as a whole). A diameter of a fine grain is set in a range of several Å to several thousand Å, preferably in a range of 10 Å to 200 Å.

[0038] As a term "fine grain" is frequently used in this specification, its meaning is now described. A small grain is called "a fine grain", and one smaller than a fine grain is called "a superfine grain". One smaller than "a

superfine grain" and the number of atoms set equal to several hundreds or lower is called "a cluster". However, boundaries among these grains are not clearly defined, and change depending on classification based on a characteristic to be heeded. "A fine grain" and "a superfine grain" are sometimes called "superfine grains" altogether and description in this specification is along this line.

[0039] "Lecture of Experimental Physics 14 Surface/Fine grains" (By K. Kinoshita, Kyoritsu Publishing Co., Sep. 1, 1986) describes the terms as follows: "A fine grain in this paper has a diameter set in a range of 2 and 3  $\mu\text{m}$  to 10nm, and when a special mention is made of a superfine grain, its diameter is set in a range of 10nm to 2 and 3nm. As both may be simply described as fine grains altogether, no clear-cut difference exists. These are simple references. If the number of atoms made of grains is two to several tens, or to several hundreds, then the grains are called clusters" (lines 22 to 26 of p. 195).

[0040] To add, in "New Superfine Grain Project" by Research Development Corporation of Japan, a lower limit of a grain diameter was much smaller, and "a superfine grain" was defined as follows: In "Superfine Grain Project" (1981 to 1986) of Creative Science Technology Promotion System, decision was made to call a grain having a size (diameter) set in a range of 1 to 100nm as "a superfine grain" (ultrafineparticle). This means that one superfine grain is a collection of 100 to  $10^8$  atoms. Using an atom as a yardstick, a superfine grain is a large to a giant grain". ("Superfine Grain-Creative Science Technology" by S. Hayashi, R. Ueda, A. Tasaki; lines 1 to 4, p. 2, by Mita Publishing Co.), "one smaller than a superfine grain, i.e., one grain made of several to several hundred atoms, is usually called a cluster" (lines 12 to 13, p. 2).

[0041] In accordance with the foregoing definition, in this specification, "a fine grain" is a collection of a number of atoms/molecules. A lower limit of a grain diameter is set in a range of several  $\text{\AA}$  to  $10\text{\AA}$ , and an upper limit is set in a range of several  $\mu\text{m}$ .

[0042] The electron emitting section 5 includes fissures of high resistance, which are partially formed in the conductive thin film 4. This section is formed, depending on a film thickness, quality and material of the conductive thin film 4 and a method such as later-described energization forming

or the like. Inside the electron emitting section 5, conductive fine grains having diameters set in a range of several Å to several hundred Å may exist. Each conductive fine grain contains partial or all elements of a material for the conductive thin film 4. The electron emitting section 5 or the conductive thin film 4 in the vicinity thereof may contain carbons or carbon compounds.

[0043] Next, description will be made for a vertical surface conductive electron emitting device. Fig. 5 is a schematic view showing an example of a vertical surface conductive electron emitting device, to which the surface conductive electron emitting device of the invention can be applied. In Fig. 5, portions like those shown in Fig. 4 have like reference numerals. A reference numeral 21 denotes a step-difference forming section. A substrate 1, device electrodes 2 and 3, a conductive thin film 4 and an electron emitting section 5 can be made of the same materials as those of the foregoing flat surface conductive electron emitting device. The step-difference forming section 21 can be made of an insulating material such as  $\text{SiO}_2$  prepared by a vacuum evaporation method, a printing method, a sputtering method or the like. A film thickness of the step-difference forming section 21 corresponds to the device electrode interval L of the foregoing flat surface conductive electron emitting device, and can be set in a range of several thousand Å to several tens of micrometers. This film thickness is set by considering the preparing method of the step-difference forming section and a voltage applied to between the device electrodes, but a preferred range thereof is from several hundred Å to several of micrometers.

[0044] The device electrodes 2 and 3 and the step-difference forming section 21 are first manufactured, and then the conductive thin film 4 is laminated on the device electrodes 2 and 3. The electron emitting section 5 is formed in the step-difference forming section in Fig. 5. But a shape and a position thereof should not be limited to the step-difference forming section, and these are dependent on a manufacturing condition, a forming condition or the like.

[0045] There are various manufacturing methods for the foregoing surface conductive electron emitting device. One example is schematically shown in Fig. 6.

[0046] Now, description will be made for an example of a manufacturing

method by referring to Figs. 4 and 6. Also in Fig. 6, portions like those shown in Fig. 4 are denoted by like reference numerals.

[0047] (1) A substrate 1 is sufficiently cleaned by using detergent, pure water, organic solvents or the like. After device electrode materials are deposited by a vacuum evaporation method, a sputtering method or the like, device electrodes 2 and 3 are formed on the substrate 1 by using, for instance a technology of photolithography (Fig. 6(a)).

[0048] (2) Organic metal solution is coated on the substrate 1 having the device electrodes 2 and 3 provided thereon to form an organic metal thin film. For the organic metal solution, solution of an organic metal compound using metal of the material of the above conductive thin film 4 as a main element can be used. The organic metal thin film is subjected to heating and baking, then to patterning by lifting-off, etching or the like to form a conductive thin film 4 (Fig. 6(b)). Herein, mention was made for the coating method of organic metal solution. But there should be no limitation on a method of forming the conductive thin film 4 and, in addition to a vacuum evaporation method, a spinner method, a spraying method, and so on, an ink jet method and a bubble jet method that need no patterning can be used.

[0049] (3) Next, description will be made for a forming step as one of the features of the invention by referring to Fig. 1.

[0050] Energization called energization forming is carried out to form a structure-changed electron emitting section 5 in the portion of the conductive thin film 4 by supplying power from a not-shown power source to between the device electrodes 2 and 3. This energization forming causes the conductive thin film 4 to be locally fractured, deformed or changed in quality, and a structure-changed portion is called an electron emitting section 5. An example of a voltage waveform of energization forming is shown in Fig. 2.

[0051] In Fig. 2, T1 and T2 denote a pulse width and a pulse interval of a voltage waveform. T1 is set in a range of 1 microsecond to 10 milliseconds, and T2 is set in a range of 10 microseconds to 100 milliseconds. A peak value of a triangular wave (peak voltage of an energization forming pulse) is increased by, for instance about a 0.1V step, and application is performed under proper vacuum atmosphere. A peak value of a triangular wave and a

current value at a peak value are shown in Fig. 3. A peak value of a current is  $I_{\max}$ , and a voltage at this time is  $V_{\max}$ .

[0052] Usually, the energization forming is finished by checking a current value at the time of maximum voltage application of a triangular wave. Specifically, in a peak pulse interval  $T_2$ , a device current is measured by a voltage causing no local fracture or deformation of the conductive thin film 4, e.g., by a voltage of about 0.1V, a resistance value is obtained, and if resistance shows 1M ohm or higher, the energization forming is finished. However, if achievement of high resistance is difficult because of the foregoing film thickness distribution of the conductive thin film 4, forming of a first round is finished when a current value of a fixed rate with respect to  $I_{\max}$  is reached or when a voltage of a fixed rate with respect to  $V_{\max}$  is reached. Rates with respect to  $I_{\max}$  and  $V_{\max}$  are properly set depending on a material of the conductive thin film or an average film thickness, but these should preferably set equal to 90% or lower.

[0053] (4) Then, reducing is performed by a heat treatment in vacuum, a reducing gas atmosphere treatment or the like. This operation is carried out by loading the device on the reduction device 7 (Fig. 1) and until a full surface of the conductive thin film 4 is completely reduced.

[0054] (5) Lastly, the reduced conductive thin film is subjected to energization forming again. A content of this step is similar to that of the first round. A device current is measured to obtain a resistance value. The energization forming is finished, for example when resistance shows 1M ohm or higher. Since the reducing sets low resistance for the portion having a thin film thickness and relatively high resistance, and causes a current to flow. Accordingly, forming can be finished by a low voltage.

[0055] (6) An operation called an activating step should preferably be performed for the device, for which forming has been completed. The activating step causes considerable changes in a device current  $I_f$  and an emission current  $I_e$ .

[0056] The activating step can be carried out by, for instance repeating pulse application under atmosphere containing organic material gas as in the case of the energization forming. This atmosphere can be prepared by using organic gas remaining in atmosphere when gas is exhausted in a vacuum container by using, e.g., an oil dispersing pump, a rotary pump or the

like. The atmosphere can also be obtained by using an ion pump or the like to introduce organic material gas into sufficiently exhausted vacuum. A preferable gas pressure of the organic material at this time is set as occasion demands, because of variance in gas pressures depending on a mode of the foregoing application, a shape of the vacuum container, a kind of the organic material. A proper organic material may be selected from aliphatic hydrocarbons of alkane, alken and alkyne, aromatic hydrocarbons, organic acids of alcohol, aldehyde, ketone, amine, phenol, carboxylic acid, sulfonic acid or the like, and so on. Specifically, a material can be selected from saturated hydrocarbons represented by  $C_nH_{2n+2}$  such as methane, ethane, propane or the like, unsaturated hydrocarbons represented by a composition formula  $C_nH_{2n}$  such as ethylene, propylene or the like, benzene, toluene, methanol, ethanol, formaldehyde, acetaldehyde, acetone, methyl ethyl ketone, methylamine, ethylamine, phenol, formic acid, acetic acid, propionic acid, and so on. By this operation, carbons or carbon compounds from the organic material existing in the atmosphere are deposited on the device, and the device current  $I_f$  and the emission current  $I_e$  are considerably changed.

[0057] Determination of an end of the activating step is properly made by measuring the device current  $I_f$  and the emission current  $I_e$ . A pulse width, a pulse interval and a pulse peak value are set as occasion demands.

[0058] A carbon or a carbon compound contains, for instance graphite (HOPG', PG (GC)), HOPG being a nearly complete crystal structure; PG a slightly disturbed crystal structure having a crystal grain of about 200 Å; GC a more disturbed crystal structure having a crystal grain of about 20 Å, or amorphous carbons (amorphous carbons or a mixture of amorphous carbons and crystallite of the graphite). A film thickness thereof should preferably be set in a range of 500 Å or lower, more preferably in a range of 300 Å or lower.

[0059] (7) The electron emitting device obtained through the foregoing steps should preferably be subjected to a stabilizing step. This step exhausts the organic material from the vacuum container. For a vacuum evacuating device for evacuating the vacuum container, one not using oil should preferably be selected in order to prevent oil generated from the device from affecting a device characteristic. Specifically, a vacuum

evacuating device such as an absorption pump, an ion pump or the like may be used.

[0060] In the above activating step, if an oil dispersing pump or a rotary pump is used as an evacuating device and organic gas from an oil component generated therefrom is used, a partial pressure of the oil component must be reduced as low as possible. A partial pressure of an organic component in the vacuum container should preferably be set equal to  $1 \times 10^{-8}$  Torr, where almost no carbon or carbon compound deposition occurs, more preferably  $1 \times 10^{-10}$  Torr or lower. To evacuate the vacuum container, the entire vacuum container should preferably be heated to facilitate exhaustion of organic material molecules stuck to the inner wall of the vacuum container or the electron emitting device. Desired heating conditions at this time are 80 to 200°C and 5 hours or more. But no limitation is placed in this regard, and heating is carried out by properly selecting a condition from various conditions including a size and a shape of the vacuum container, constitution of the electron emitting section, and so on. A pressure in the vacuum container must be reduced as low as possible. A preferred pressure is 1 to  $3 \times 10^{-7}$  Torr, more preferably  $1 \times 10^{-8}$  Torr.

[0061] Atmosphere at a driving time after the stabilizing step should preferably be maintained at atmosphere when the stabilizing step is finished. But no limitation is placed in this regard, and as long as the organic materials are sufficiently eliminated, a sufficiently stable characteristic can be maintained even if a degree of vacuum is slightly reduced.

[0062] By employing such vacuum atmosphere, new deposition of carbons or hydrocarbons can be suppressed and, as a result, the device current  $I_f$  and the emission current  $I_e$  can be stabilized. Next, description will be made for basic characteristics of the electron emitting device obtained through the foregoing steps, to which the invention can be applied, by referring to Figs. 7 and 8.

[0063] Fig. 7 is a schematic view showing an example of a vacuum processing device. This vacuum processing device also functions as a measurement evaluating device. Also in Fig. 7, portions like those shown in Fig. 4 are denoted by like reference numerals. In Fig. 7, a reference numeral 55 denotes a vacuum container; and 56 an exhaust pump. An electron emitting device is disposed in the vacuum container 55. Specifi-

cally, a reference numeral 1 denotes a substrate constituting the electron emitting device; 2 and 3 device electrodes; 4 a conductive thin film; and 5 an electron emitting section. A reference numeral 51 denotes a power source for applying a device voltage  $V_f$  to the electron emitting device; 50 an ammeter for measuring a device current  $I_f$  flowing to the conductive thin film 4 between the device electrodes 2 and 3; and 54 an anode electrode for capturing an emission current  $I_e$  from an electron emitting section of the device. A reference numeral 53 denotes a high voltage power source for applying a voltage to the anode electrode 54; and 52 an ammeter for measuring an emission current  $I_e$  from the electron emitting section 5 of the device. As an example, measuring can be carried out by setting a voltage of the anode electrode in a range of 1kV to 10kV, and a distance between the anode electrode and the electron emitting device in a range of 2mm to 8mm.

[0064] In the vacuum container 55, an equipment such as a vacuum gage or the like necessary for performing measuring under vacuum atmosphere is provided, and measurement evaluation can be performed under desired vacuum atmosphere. The exhaust pump 56 is composed of a high vacuum device system including a turbopump and a rotary pump and an ultrahigh vacuum device system including an ion pump, and so on. The entire vacuum processing device shown to have an electron source substrate disposed can be heated up to 200°C by a not-shown heater. Accordingly, by using this vacuum processing device, the steps after the foregoing energization forming step can be carried out.

[0065] Fig. 8 is a schematic view showing relations among an emission current  $I_e$ , a device current  $I_f$  and a device voltage  $V_f$  measured by using the vacuum processing device shown in Fig. 7. In Fig. 8, an emission current  $I_e$  is shown by an optional unit, since it is considerably smaller than a device current  $I_f$ . Ordinate and abscissa axes are linear. As can be understood from Fig. 8, the surface conductive electron emitting device, to which the invention is applicable, has three special characteristics regarding an emission current  $I_e$ .

[0066] Specifically, (i) the device is a nonlinear device characterized in that when a device voltage of a certain voltage (called a threshold voltage,  $V_{th}$  in Fig. 8) or higher is applied, an emission current  $I_e$  is suddenly increased and, on the other hand, when a voltage applied is lower than the

threshold voltage  $V_{th}$ , almost no emission currents  $I_e$  are detected. In other words, a clear threshold value  $V_{th}$  is provided for an emission current  $I_e$ .

(ii) Since an emission current  $I_e$  depends on a device voltage  $V_f$  for its monotonous increase, the emission current  $I_e$  can be controlled by the device voltage  $V_f$ . (iii) Emission charges captured by the anode electrode 54 depend on the application time of a device voltage. In other words, a charge quantity captured by the anode electrode 54 can be controlled by the application time of the device voltage  $V_f$ .

[0067] As can be understood from the foregoing description, the surface conductive electron emitting device, to which the invention is applicable, can easily control an electron emitting characteristic according to an input signal. Use of this characteristic enables the invention to be applied to various fields, such as an electron source composed of a plurality of electron emitting devices, an image forming apparatus or the like.

[0068] In Fig. 8, an example of a monotonous increase of a device current  $I_f$  with respect to a device voltage  $V_f$  (MI characteristic, hereinafter) is indicated by a solid line. A device current  $I_f$  may show a voltage control negative resistance characteristic ("VCNR characteristic", hereinafter) with respect to a device voltage  $V_f$  (not shown). These characteristics can be controlled by controlling the foregoing step.

[0069] Next, an application example of the electron emitting device, to which the invention can be applied, will be described. A plurality of surface conductive electron emitting devices, to which the invention is applicable, are disposed on a substrate to constitute, for example an electron source or an image forming apparatus.

[0070] Various arrangements can be employed for the electron emitting devices. An example is a ladder arrangement where both ends of each of a number of electron emitting devices disposed in parallel are connected, a number of rows of electron emitting devices are arrayed (called row direction), and electrons from the electron emitting devices are controlled and driven by control electrodes (called grid) disposed above the electron emitting devices in a direction orthogonal to this wiring (called column direction). Another example is an arrangement where a plurality of electron emitting devices are disposed in rows and columns in X and Y directions, electrodes of the plurality of electron emitting devices disposed

in the same row are connected to the wiring of the X direction in common, and the other electrodes of the plurality of electron emitting devices disposed in the same column are connected to the wiring of the Y direction in common. Such an arrangement is called a simple matrix arrangement. First, the simple matrix arrangement is described.

[0071] The surface conductive electron emitting device, to which the invention is applicable, has the foregoing characteristics (i), (ii) and (iii). Specifically, electrons emitted from the surface conductive electron emitting device can be controlled based on a peak value and a width of a pulse voltage applied to between the opposing device electrodes if a voltage is equal to the threshold voltage or higher. On the other hand, if a voltage is lower than the threshold value, almost no electrons are emitted. In accordance with this characteristic, by properly applying a pulse voltage to each device, the surface conductive electron emitting device is selected based on an input signal to control an electron emission quantity.

[0072] Next, based on the foregoing principle, description will be made for an electron source substrate obtained by disposing a plurality of electron emitting devices, to which the invention can be applied, by referring to Fig. 9. In Fig. 9, a reference numeral 71 denotes an electron source substrate; 72 a wiring of an X direction; and 73 a wiring of a Y direction. A reference numeral 74 denotes a surface conductive electron emitting device; and 75 a connection. The surface conductive electron emitting device 74 may be a flat or a vertical type.

[0073] X direction wirings 72 amounting to m in number includes DX1, DX2,..., and DXm, and made of conductive metal or the like prepared by using a vacuum deposition method, a printing method, a sputtering method or the like. A material, a film thickness and a width for the wiring are set as occasion demands. Y direction wirings 73 amounting to n in number includes DY1, DY2,..., and DYn, and made as in the case of the X direction wirings 72. Not-shown interlayer insulating layers are provided between the X direction wirings 72 amounting to m in number and the Y direction wirings 73 amounting to n in number, and these wirings are electrically separated (m and n are positive integers).

[0074] Each of the not-shown interlayer insulating films is made of SiO<sub>2</sub> or the like prepared by using a vacuum deposition method, a printing method,

a sputtering method or the like. For example, a full surface of the substrate 71 having the X direction wiring 72 set thereon is partially formed to have a desired shape. Especially, to endure a potential difference at an intersection between the X and Y direction wirings 72 and 73, a film thickness, a material and a manufacturing method are set properly. The X and Y direction wirings 72 and 73 are extended as external terminals.

[0075] A pair of electrodes (not shown) constituting the surface conductive electron emitting device 74 are electrically connected by the connection 75 made by the X direction wirings 72 amounting to m in number, the Y direction wirings 73 amounting to n in number and conductive metal or the like.

[0076] Materials for the wirings 72 and 73, a material for the connection 75 and materials for the pair of device electrodes may be similar in parts or all of constituting elements, or different from one another. These materials are properly selected from for instance the foregoing device electrode materials. If materials for the device electrodes and materials for the wirings are the same, then the wirings connected to the device electrodes may be considered as device electrodes.

[0077] A not-shown scanning signal applying means for applying a scanning signal to select a row of the surface conductive electron emitting devices 74 arrayed in the X direction is connected to the X direction wiring 72. On the other hand, a not-shown modulating signal generating means for modulating each column of the surface conductive electron emitting devices 74 arrayed in the Y direction according to an input signal is connected to the Y direction wiring 73. A driving voltage applied to each electron emitting device is supplied as a difference voltage between the scanning signal and the modulating signal applied to the device.

[0078] With the foregoing constitution, by using the simple matrix wiring, individual devices can be selected and independently driven. Now, description will be made for an image forming apparatus constituted by using an electron source of such a simple matrix arrangement by referring to Figs. 10, 11 and 12. Fig. 10 is a schematic view showing an example of a display panel of an image forming apparatus; Fig. 11 a schematic view of a fluorescent film used in the image forming apparatus of Fig. 10; and Fig. 12 a block diagram showing an example of a driving circuit for performing displaying according to a television signal of an NTSC system.

[0079] In Fig. 10, a reference numeral 71 denotes an electron source substrate including a plurality of electron emitting devices disposed; 81 a rear plate, to which the electron source substrate 71 is fixed; and 86 a face plate including a fluorescent film 84, a metal back 85, and so on, formed inside a glass substrate 83. A reference numeral 82 denotes a supporting frame, and the rear plate 81 and the face plate 86 are connected to the supporting frame 82 by using flit glass or the like. A reference numeral 88 denotes an envelope, which is prepared by being baked at a temperature of 400 to 500°C in atmosphere or nitrogen for 10 minutes or more, and then sealed.

[0080] A reference numeral 74 denotes a portion equivalent to the electron emitting section of Fig. 4. Reference numerals 72 and 73 respectively denote X and Y direction wirings connected to the pair of device electrodes of the surface conductive electron emitting device.

[0081] As described above, the envelope 88 is composed of the face plate 86, the supporting frame 82, and the rear plate 81. Since the rear plate 81 is provided mainly for the purpose of reinforcing a strength of the substrate 71, the separately provided rear plate 81 is made unnecessary if the substrate 71 itself has a sufficient strength. In other words, the supporting frame 82 may be directly sealed to the substrate 71, and the envelope 88 may be composed of the face plate 86, the supporting frame 82 and the substrate 71. On the other hand, the envelope 88 can also be composed to have a sufficient strength against an atmospheric pressure by installing a not-shown support called a spacer between the face plate 86 and the rear plate 81.

[0082] Fig. 11 is a schematic view showing a fluorescent film. The fluorescent screen 84 can be composed only of a fluorescent substance in the case of monochrome. A color fluorescent film can be composed of a black conductive material 91 called a black stripe or a black matrix and a fluorescent substance 92 based on a fluorescent substance arrangement. The purposes of providing the black stripe or black matrix is, in the case of color displaying, to make mixed colors or the like inconspicuous by coloring black separate coating portions between necessary three primary color fluorescent substances 92, and to limit a reduction in contrast caused by external light reflection in the fluorescent film 84. As a material for the black stripe, in addition to a material using usually used graphite as a main component, a conductive material having little light transmission or reflection can be

used.

[0083] A method for coating fluorescent substance on the glass substrate 83 can be selected from a deposition method, a printing method, and so on, irrespective of monochrome or color. A metal back 85 is usually provided inside the fluorescent film 84. The purposes of providing the metal back 84 is to improve luminance by mirror-reflecting an inward light among lights emitted from the fluorescent substance to the face plate 86 side, to cause the metal back 84 to operate as an electrode for applying an electron beam accelerating voltage, to protect the fluorescent substance from damage caused by clashing of negative ions generated in the envelope, and so on. The metal back can be prepared by performing a smoothing operation (usually called "filming") for the surface of the inner side of the fluorescent film after the manufacturing of the same, and then depositing Al by using a vacuum deposition method or the like.

[0084] To increase conductivity of the fluorescent film 84 more, the face plate 86 may be provided with a transparent electrode (not shown) in the outer surface side of the fluorescent film 84. To perform the foregoing sealing, correspondence must be set between each fluorescent substance and the electron emitting device in the case of color, and thus sufficient positioning is essential.

[0085] The image forming apparatus shown in Fig. 10 is manufactured, for example in the following manner. The envelope 88 is subjected to exhaustion through a not-shown exhaust pipe by an evacuating device using no oil, such as an ion pump, an absorption pump or the like, while being heated, as in case of the foregoing stabilizing step, and sealed after atmosphere is set where the quantity of organic materials is sufficiently reduced to have a degree of vacuum of  $10^{-7}$  Torr. To maintain a degree of vacuum after the sealing of the envelope 88, a getter operation can also be performed. This operation is carried out to form a deposited film by performing a heat treatment using resistance heating or high frequency heating to heat a getter disposed in a specified position (not shown) inside the envelope 88 immediately before or after the sealing of the envelope 88. The getter usually contains Ba or the like as main component, and adapted to maintain, for example a degree of vacuum of  $1 \times 10^{-5}$  or  $1 \times 10^{-7}$  Torr, by adsorbing function of the deposited film. Here, steps after the forming of the surface

conductive electron emitting device can be set as occasion demands.

[0086] Next, description will be made for a constitutional example of a driving circuit for performing television displaying based on a television signal of the NTSC system on a display panel composed by using the electron source of a simple matrix arrangement by referring to Fig. 12. In Fig. 12, a reference numeral 101 denotes an image display panel; 102 a scanning circuit; 103 a control circuit; and 104 a shift register. A reference numeral 105 denotes a line memory; 106 a synchronizing signal separation circuit; 107 a modulating signal generator; and  $V_x$  and  $V_a$  DC voltage sources.

[0087] The display panel 101 is connected to an external electric circuit through terminals  $Dox1$  to  $Doxm$ , terminals  $Doy1$  to  $Doyn$  and a high voltage terminal  $Hv$ . To the terminals  $Dox1$  to  $Doxm$ , scanning signals are applied to sequentially drive electron sources provided in the display panel, i.e., a group of surface conductive electron emitting devices wired in a matrix form in  $M$  row and  $N$  column line by line ( $N$  device).

[0088] To the terminals  $Doy1$  to  $Doyn$ , modulating signals are applied to control an output electron beam of each of the surface conductive electron emitting devices of one row selected by the scanning signals. To the high voltage terminal  $Hv$ , a DC voltage of, for instance  $10K$  [V], is supplied from the DC voltage source  $V_a$ . This is an accelerating voltage supplied to give sufficient energy for exciting a fluorescent substance to an electron beam emitted from the surface conductive electron emitting device.

[0089] Now, description will be made for the scanning circuit 102. This circuit includes switching devices amounting to  $M$  in number inside (schematically shown and indicated by  $S1$  or  $S_m$  in the drawing). Each switching device selects any one of an output voltage of the DC voltage source  $V_x$  and  $0$  [V] (ground level), and is electrically connected to the terminal  $Dox1$  or  $Doxm$  of the display panel. The switching devices of  $S1$  to  $S_m$  are operated based on control signals  $Tscan$  outputted from the control circuit 103, and can be composed by combining switching devices, e.g., FET.

[0090] In this example, the DC voltage source  $V_x$  is set to output a fixed voltage such that a driving voltage applied to a non-scanned device can be set equal to an electron emission threshold voltage based on a characteristic (electron emission threshold voltage) of the surface conductive electron emitting device.

[0091] The control circuit 103 has a function for matching the operations of respective sections with one another such that proper displaying can be performed based on an image signal entered from the outside. The control circuit 103 generates control signals Tscan, Tsft and Tmry for the respective sections based on a synchronizing signal Tsync sent from the synchronizing signal separation circuit 106.

[0092] The synchronizing signal separation circuit 106 is adapted to separate a synchronizing signal component and a luminance signal component from a television signal of the NTSC system entered from the outside, and can be composed by using a general frequency separation (filter) circuit or the like. The synchronizing signal separated by the synchronizing signal separation circuit 106 is composed of vertical and horizontal synchronizing signals, but here the signal is shown as the Tsync signal for descriptive convenience. The image luminance signal component separated from the television signal is represented as a DATA signal for convenience. The DATA signal is entered to the shift register 104.

[0093] The shift register 104 performs serial/parallel conversion for each one line of an image regarding the DATA signals entered time-sequentially and in series, and is operated based on the control signal Tsft sent from the control circuit 103 (i.e., the control signal Tsft may be considered as a shift lock of the shift register 104). Data of one line of an image (equivalent to driving data of the number N of electron emitting device) are outputted from the shift register 104 as the number N of parallel signals of Id1 to Idn.

[0094] The line memory 105 is a storage device for storing the data of one line of an image only for necessary time, and properly stores contents of Id1 to Idn according to the control signal Tmry sent from the control circuit 103. The stored contents are outputted as I'd1 to I'dn, and entered to the modulating signal generator 107.

[0095] The modulating signal generator 107 is a signal source for properly driving and modulating the respective surface conductive electron emitting devices according to the image data I'd1 to I'dn, and output signals thereof are applied through the terminals Doy1 to Doyn to the surface conductive electron emitting devices in the display panel 111.

[0096] As described above, the electron emitting device, to which the invention is applicable, has the following basic characteristics with respect to

an emission current  $I_e$ . Specifically, a clear threshold voltage  $V_{th}$  is set for electron emission, and electron emission occurs only when a voltage equal to  $V_{th}$  or higher is applied. The application of a voltage equal to the electron emission threshold value or higher causes a change in a voltage applied to the device, and accordingly a change in an emission current. For this reason, when a pulse voltage is applied to the device, no electron emission occurs, for instance even if a voltage lower than the electron emission threshold value is applied. But electron beams are outputted when a voltage equal to the electron emission threshold value or higher is applied. In this case, intensity of an output electron beam can be controlled by changing a peak value  $V_m$  of a pulse. Also, the total quantity of charges of output electron beams can be controlled by changing a pulse width  $P_w$ .

[0097] Therefore, as a system of modulating the electron emitting device according to an input signal, a voltage modulation system, a pulse width modulation system or the like can be used. For the modulating signal generator 107, a circuit of a voltage modulation system for generating a voltage pulse having a fixed length and properly modulating a peak value of a pulse according to input data can be used.

[0098] To execute the pulse width modulation system, as the modulating signal generator 107, a circuit of a pulse width modulation system for generating a voltage pulse having a fixed peak value and properly modulating a pulse width according to input data.

[0099] For the shift register 104 and the line memory 105, digital as well as analog signal types can be employed, as long as serial/parallel conversion or storage for an image signal is carried out at a specified speed.

[0100] To use the digital signal type, output signal DATA of the synchronizing signal separation circuit 106 must be converted into a digital signal. For this purpose, it is necessary to provide an A/D converter in the output portion of the circuit 106. In connection with this, a slightly different circuit may be used for the modulating signal generator 107 depending on which of digital and analog signals an output signal of the line memory 105 is. In other words, in the case of the voltage modulation system using a digital signal, for example a D/A converter circuit is used for the modulating signal generator 107, and an amplifier circuit may be added when necessary. In the case of the pulse width modulation system, a circuit using, in combi-

nation, a high-speed oscillator, a counter for counting the number of waves outputted from the oscillator and a comparator for comparing an output value of the counter with an output value of the memory, is used for the modulating signal generator 107. When necessary, an amplifier may be added for amplifying a voltage of a modulating signal modulated for its pulse width, which is outputted from the comparator, equal to a driving voltage of the surface conductive electron emitting device.

[0101] In the case of the voltage modulation system using an analog signal, an amplifier circuit using, for instance an operation amplifier may be used for the modulating signal generator 107, and a level shifting circuit may be added when necessary. In the case of the pulse width modulation system, for example a voltage control oscillation circuit (VCO) may be used. When necessary, an amplifier may be added for amplifying a voltage equal to a driving device of the surface conductive electron emitting device.

[0102] In an image display device having the foregoing constitution, to which the invention is applicable, electron emission is generated by applying voltages through the out-of container terminals Dox1 to Doxm and Doy1 to DoyN to the respective electron emitting devices. An electron beam is accelerated by applying a high voltage through the high voltage terminal Hv to a metal back 95 or a transparent electrode (not shown). The accelerated electron clashes with the fluorescent film 84 to emit a light, and then an image is formed.

[0103] The constitution of the image forming apparatus described herein is just one example of an image forming apparatus, to which the invention can be applied, and various changes and modifications can be made based on technical teachings of the invention. Regarding an input signal, the NTSC system was described, but there should be no limitation. In addition to PAL and SECAM systems, a TV signal (e.g., high quality TV of a MUSE system or the like) having a number of scanning lines can be employed.

[0104] Next, description will be made for an electron source of a ladder arrangement and an image forming apparatus by referring to Figs. 13 and 14. Fig. 13 is a schematic view showing an example of an electron source of a ladder arrangement. In Fig. 13, a reference numeral 110 denotes an electron source substrate; and 111 an electron emitting device. A reference numerals 112 and Dx1 to Dx10 denote common wirings for connecting the

electron emitting device 111. A plurality of electron emitting devices 111 are disposed in parallel in an X direction on the substrate 110 (called device row). A plurality of device rows are disposed to constitute an electron source. By applying a driving voltage to between the common wirings of the respective devices, the device rows can be independently driven. Specifically, a voltage equal to an electron emission threshold value or higher is applied to a device row, to which an electron beam is to be emitted. A voltage lower than the electron emission threshold value is applied to a device row, to which no electron beams are to be emitted. For the common wirings Dx2 to Dx9 among the device rows, for example, Dx2 and Dx3 may be the same wirings.

[0105] Fig. 14 is a schematic view showing an example of a panel structure in the image forming apparatus provided with the electron source of a ladder arrangement. A reference numeral 120 denotes a grid electrode; 121 a hole for passage of electrons; and 122 an out-of container terminal composed of Dox1, Dox2,..., Doxm. A reference numeral 123 denotes an out-of container terminal composed of G1, G2,..., Gn connected to the grid electrode 120; and 124 an electron source substrate having the same common wirings set among the device rows.

[0106] In Fig. 14, portions like those shown in Figs. 10 and 13 are denoted by like reference numerals. A main difference between the image forming apparatus shown herein and the image forming apparatus of a simple matrix arrangement shown in Fig. 10 is existence of the grid electrode 120 between the electron source substrate 110 and the face plate 86.

[0107] In Fig. 14, the grid electrode 120 is provided between the substrate 110 and the face plate 86. The grid electrode 120 modulates electron beams outputted from the surface conductive electron emitting devices, and is provided with one circular opening 121 corresponding to each device: the opening being for passing an electron beam to a stripe-shaped electrode provided in a direction orthogonal to the device row of the ladder arrangement. A shape and installing position of the grid should not be limited to those shown in Fig. 14. For example, a number of meshed passing holes can be provided as openings, and the grid can be provided around the surface conductive electron emitting device or in the vicinity thereof.

[0108] The out-of container terminal 122 and the grid out-of container

terminal 123 are electrically connected to a not-shown control circuit.

[0109] In image forming apparatus of this example, modulating signals of one line of an image are simultaneously applied to columns of grid electrodes in synchronization with sequential driving (scanning) of each column of the device row. Accordingly, irradiation of the fluorescent substance with each electron beam can be controlled, and images can be displayed by each line.

[0110] The image forming apparatus of the invention can be used as an image forming apparatus or the like, which functions as an optical printer composed by using a photosensitive drum or the like, in addition to a television broadcast display device, a display device of a television conference system, a computer or the like.

[0111]

[Embodiments]

[Embodiment 1] As an electron emitting device of the embodiment 1, the inventor manufactured an electron emitting device of a type shown in Figs. 4(a) (device plan view) and 4(b) (device sectional view). A manufacturing method of this type will be described by referring to Fig. 15.

[0112] A quartz substrate was used for an insulating substrate 151, and electrodes 152 and 153 were formed on the substrate 151 after sufficient cleaning performed by using organic solvents (Fig. 15(a)). Gold was used as a material for the electrode. An electrode interval  $L$  was set to 10 micrometer; an electrode length  $W$  500 micrometer; and a thickness thereof 1000 Å.

[0113] Then, by using droplet adding means based on a bubble jet (BJ) method, an organic palladium thin film was coated between the electrodes, and then a heat treatment was performed at 350°C for 10 minutes to form a superfine grain film (conductive thin film) 154 made of palladium oxide (PdO) fine grains (average grain diameter: 20 Å). In this case, the conductive thin film 154 having a radius of 80 micrometer was disposed nearly in the center between the electrodes 152 and 153 (Fig. 15(b)). A sheet resistance value of the conductive thin film 154 was  $3 \times 10^4 \Omega/\square$ .

[0114] For the organic palladium thin film formed by the bubble jet method, a film thickness and a shape were controlled based on droplet concentration, the number of overlapping hitting times and a discharge

condition. After the heat treatment, as shown in Fig. 15(b), the shape became dot-like, and film thickness distribution appeared from the center toward the periphery of dots in many cases. A film thickness was 15nm in the center, and was thinner toward the periphery.

[0115] (3) Next, description will be made for a forming step as a feature of the invention by referring to Fig. 15. Energization usually called energization forming is carried out to form a structure-changed portion 155 in a part of the conductive thin film 154 by supplying power to between the device electrodes 152 and 153 (Fig. 15(c)), and an example of a voltage waveform of energization forming is shown in Fig. 2.

[0116] T1 and T2 in Fig. 2 denote a pulse width and a pulse interval of a voltage waveform. T1 was set to 1 milliseconds, and T2 was set to 10 milliseconds. By increasing a peak value (peak voltage of an energization forming pulse) of a triangular wave by each 0.1V step, application was performed under vacuum atmosphere of  $10^{-6}$  Torr. A peak value of the triangular wave and a current value at the peak value are shown in Fig. 3. A peak value I<sub>max</sub> of a current at the peak value was 8mA, and a voltage V<sub>max</sub> at this time was 8V. The forming was finished when 2mA, 25% with respect to I<sub>max</sub> was reached. A device not subjected to forming was left to monitor a resistance value of the conductive thin film in later-described reducing step.

[0117] (4) Then, reducing was performed in reduced gas atmosphere, i.e., nitrogen-diluted 2% hydrogen atmospheric pressure atmosphere, for 30 minutes. This operation was carried out by loading the device in a hermetically sealed reducing container 157 and until a full surface of the conductive thin film 154 was completely reduced (Fig. 15(d)), and sheet resistance of the foregoing monitor became  $3 \times 10^2 \Omega/\square$ .

[0118] (5) Then, lastly, as shown in Fig. 15(e), the reduced conductive thin film was subjected to energization forming again. A content of this step was the same as that of the first round. The energization forming was finished by checking a current value at the time of maximum voltage application of the triangular wave. Specifically, in a peak pulse interval T2, a device current was measured by a voltage where no local fracture or deformation occurred in the conductive thin film 154, for instance a voltage of about 0.1V, a resistance value was obtained and, when resistance showed

1M ohm or higher, the energization forming was finished. This reducing step caused a portion having a thin film thickness and relatively high resistance to have low resistance, and a current to flow. Accordingly, the forming was finished at a low voltage of a peak  $V_{max}$  5V of a voltage peak value, and at a peak  $I_{max}$  10mA of a current peak value. After the forming, the conductive thin film 154 was observed to find that a fissure 155 to become an electron emitting section was formed crossing the conductive thin film from end to end (Fig. 15(e)).

[0119] For the devices manufactured in such a manner, device voltage was applied to between the devices, a device current  $I_f$  and an emission current  $I_e$  flowing at this time were measured, and a reactive current (%) was obtained. As a result, when a device voltage was 16V, a device current was 2.5mA, and an emission current was  $4.0 \mu A$ . Electron emission efficiency  $\eta$  was 0.16%, and a reactive current was 1%. Good reproducibility was provided, 100 devices were manufactured, and reactive currents were all limited equal to 2% or lower.

[0120] A measuring method is as follows.

[Measuring Method] Fig. 7 is a schematic constitutional view of a measurement evaluating device. In Fig. 7, a reference numeral 1 denotes an insulating substrate; 2 and 3 electrodes; 5 an electron emitting region; 4 a conductive film for obtaining electric connection; 51 a power source for applying a voltage to the device; 50 an ammeter for measuring a device current  $I_f$ ; 54 a anode electrode for measuring an emission current  $I_e$  generated by the device; 53 a high voltage power source for applying a voltage to the anode electrode 54; and 52 an ammeter for measuring an emission current. Herein, the device current means a current quantity measured by the ammeter 50, and the emission current means a current quantity measured by the ammeter 52. Measurements of the device current and the emission current of the electron emitting device are carried out by connecting the power source 51 and the ammeter 50 to the device electrodes 2 and 3, disposing the anode electrode 54, to which the power source 53 and the ammeter 52 are connected, regarding information of the electron emitting device, and under an environment of a degree of vacuum of  $1 \times 10^{-5}$  Torr. From a result of each measurement, a reactive current is calculated by, as shown in Fig. 16,  $\text{reactive current} = (I_e/I_f) \times 100[\%]$ . Herein,  $I_f$  means a de-

vice current value at a driving voltage  $V_d$ , and  $I_x$  means an extrapolation value at a driving voltage  $V_d$  of a straight line connecting a device current value when a device voltage is 0 and a device current value at a device voltage  $V_e$  for starting device emission.

[0121] [Embodiment 2] Next, description will be made for an image forming apparatus using the surface conductive electron emitting device of the embodiment 1 with reference to the accompanying drawings. Fig. 17 is a partial plan view of an electron source; Fig. 18 a sectional view taken on line A-A' of Fig. 17. In Figs. 17, 18 and 19, like portions are denoted by like reference numerals. A reference numeral 71 denotes a substrate; 72 an X direction wiring (called lower wiring) corresponding to  $D_{xm}$  of the image forming apparatus 10 described above with reference to the modes of the carrying out the invention; 73 a Y direction wiring (called upper wiring) corresponding to  $D_{yn}$  of Fig. 10; 4 a conductive thin film; 2 and 3 device electrodes; 181 an interlayer insulating layer; and 182 a contact hole for electrically connecting the device electrode 5 to the lower wiring 72. In the embodiment, 300 X direction wirings were formed, 100 Y direction wirings were formed, and 30000 surface conductive electron emitting devices were provided. Next, a manufacturing method will be described in detail step by step by referring to Fig. 19.

[122] Step-a

Cr having a thickness  $50\text{\AA}$  and Au having a thickness of  $6000\text{\AA}$  were laminated by vacuum deposition on the substrate 71 having a silicon oxide film having a thickness of  $0.5\mu$  formed on cleaned blue plate glass by a sputtering method, and then photoresist (AZ1370, made by Hoechst AG) was rotated and coated by a spinner and baked. Then, a photomask image was subjected to exposure and developing to form a resist pattern of the lower wiring 72. Then, by performing wet-etching for the Au/Cr deposited film, the lower wiring 72 having a desired shape was formed (Fig. 19(a)).

[0123] Step-b

Then, an interlayer insulating layer 181 made of a silicon oxide film having a thickness  $1.0\mu$  was deposited by an RF sputtering method (Fig. 19(b)).

[0124] Step-c

A photoresist pattern was made to form a contact hole 182 in the silicon oxide film deposited in step b. Then, etching was performed for the inter-

layer insulating layer 181 by using the photoresist pattern as a mask to form a contact hole 182 (Fig. 19(c)). The etching was carried out by an RIE (Reactive Ion Etching) method using  $\text{CF}_4$  and  $\text{H}_2$  gasses.

[0125] Step-d

Subsequently, a pattern making a device electrode gap with the device electrode 2 was formed by photoresist (RD-2000N-41 Hitachi Kasei Inc.), and Ti having a thickness of  $50\text{\AA}$  and Ni having a thickness of  $1000\text{\AA}$  were sequentially deposited. The photoresist pattern was dissolved by organic solvents, the Ni/Ti deposited film was lifted on, and device electrodes 2 and 3 were formed so as to set a device electrode interval  $G$  to  $20\mu$ , and a width  $W$  of the device electrode to  $300\mu$  (Fig. 19(d)).

[0126] Step-e

Photoresist patterns of the upper wiring 73 were formed on the device electrodes 2 and 3, and then Ti having a thickness of  $50\text{\AA}$  and Au having a thickness of  $5000\text{\AA}$  were sequentially deposited by vacuum deposition. Then, by using lifting-off to remove unnecessary portions, an upper wiring 73 having a desired shape was formed (Fig. 20(e)).

[0127] Step-f

Then, by using a not-shown mask, a conductive thin film 4 was formed (Fig. 20(f)). Specifically, the mask has a device electrode gap  $G$  and an opening in the vicinity thereof. By this mask, a Cr film 191 having a film thickness of  $1000\text{\AA}$  was deposited and patterned by vacuum deposition, organic Pd (ccp4230, made by Okuno Seiyaku Inc.) was rotated and coated thereon by a spinner, and the 10-minute heating and baking were carried out at  $300^\circ\text{C}$ . A film thickness of the conductive thin film 4 made of fine grains using PdOx as a main component was  $100\text{\AA}$ , and a sheet resistance value thereof was  $(5 \times 10)^4 \Omega/\square$ . As describe above, the fine grain film described herein is a collection of a plurality of fine grains, and has a fine structure where the fine grains are individually placed not only in a dispersed state but also in an adjacent or overlapped state (including an island arrangement). A grain diameter means a diameter of a fine grain having a shape recognizable in the above states.

[0128] Step-g

By performing etching for the Cr film 191 and the baked conductive thin film 4 by using acid etchants, a desired pattern was formed (Fig. 20(g)).

[0129] Step-h

A pattern was formed to coat resist on a portion other than the contact hole 182, and Ti having a thickness of 50Å and Au having a thickness of 5000Å were sequentially deposited by vacuum deposition. Then, by using lifting-off to remove unnecessary portions, the contact hole 182 was buried (Fig. 20(h)).

[0130] Through the foregoing steps, the lower wiring 72, the interlayer insulating layer 182, the upper wiring 73, the device electrodes 2 and 3, the conductive thin film 4, and so on, were formed on the insulating substrate 71.

[0131] Next, description will be made for an example of a display device using the electron source manufactured in the foregoing manner by referring to Figs. 10 and 11. First, a number of flat surface conductive electron emitting devices were formed on the substrate 71 in the above manner. Then, after the substrate 71 was fixed to a rear plate 81, a face plate 86 (composed by forming a fluorescent film 84 and a metal back 85 in the inner surface of the glass substrate 83) was disposed 5mm above the substrate 71 by interpolating a supporting frame 82. Then, flit glass was coated on a joined portion among the face plate 86, the supporting frame 82 and the rear plate 81, and sealing was carried out by performing 15-minute baking at 400°C in atmosphere (Fig. 10). Also, the fixing of the substrate 71 to the rear plate 81 was carried out by flit glass. In Fig. 10, a reference numeral 74 denotes an electron emitting device; and 72 and 73 X and Y direction wirings respectively.

[00132] The fluorescent film 84 is made of only fluorescent substance in the case of monochrome. In the embodiment, however, a stripe type was employed for fluorescent substance, a black stripe was formed first and, then a fluorescent film 84 was manufactured by coating each color fluorescent substance in a gap portion thereof. For the black stripe, a material using usually used graphite was used. A method for coating fluorescent substance on the glass substrate 83 was a slurry method.

[0133] A metal back 85 is usually provided in the inner surface side of the fluorescent film 84. The metal back was manufactured by performing smoothing for the surface of the inner surface side of the fluorescent film (usually called filming) after the manufacture thereof, and then vacuum-

depositing Al.

[0134] For the face plate 86, a transparent electrode (not shown) is sometimes provided in the outer surface side of the fluorescent film 84 in order to increase conductivity of the fluorescent film 84 more. In the embodiment, however, this electrode was omitted, since sufficient conductivity was obtained only by the metal back.

[0135] To perform the foregoing sealing, in the case of color, correspondence must be established between each color fluorescent substance and each electron emitting device. Thus, sufficient positioning was carried out.

[0136] Atmosphere in the glass container completed in the foregoing manner was exhausted through an exhaust pipe (not shown) by a vacuum pump. After a sufficient degree of vacuum was reached, a voltage was applied through the out-of containers Dox1 to Doxm and Doy1 to Doyn to between the electrodes 2 and 3 of the electron emitting device 74. Then, as in the case of the embodiment 1, an electron emitting section was made by performing forming for a conductive thin film (154 of Fig. 15). A voltage waveform of the forming is shown in Fig. 2.

[0137] In Fig. 2, T1 and T2 denote a pulse width and a pulse interval of a voltage waveform. T1 was set to 1 millisecond, and T2 was set to 10 milliseconds. Then, a peak value of a triangular wave (peak voltage of an energization forming pulse) was increased by each 0.1V step, and application was performed under vacuum atmosphere of  $10^{-6}$  Torr.

[0138] A peak value of the triangular wave and a current value at a peak value are shown in Fig. 3. A peak value I<sub>max</sub> of a current at a peak value was 10mA for each device, and a voltage V<sub>max</sub> at this time was 12V. Forming was finished when 1.4mA, 20% of I<sub>max</sub>, was reached. Then, a device not subjected to forming was left to monitor a resistance value of the conductive thin film in later-described reducing step.

[0139] Then, as reduced gas atmosphere, nitrogen-diluted 2% hydrogen was introduced into the glass container up to an atmospheric pressure, and reducing was carried out for 30 minutes. A sheet resistance value of the above monitor became  $3 \times 10^2 \Omega/\square$ .

[0140] Then, lastly, the reduced conductive thin film was subjected to energization forming again. A content of the step was the same as that of the first round. The energization forming was finished by checking a current

value at the time of maximum voltage application of the triangular wave. Specifically, in a peak pulse interval T2, a device current was measured by a voltage causing no local fracture or deformation in the conductive thin film, for instance a voltage of about 0.1V, and a resistance value was obtained. When resistance showed 1M ohm or higher, the energization forming was finished.

[0141] Before the reducing step, resistance of a PdO fine grain film containing the electron emitting section was  $20\text{k}\Omega$ , resistance thereof was  $1.45\text{k}\Omega$  after the reducing step, and resistance of a portion having a thin film thickness and relatively high resistance become low to cause a current to flow. Accordingly, the forming was finished at a low voltage of a peak  $V_{\text{max}}$  6V of a voltage peak value and a peak  $I_{\text{max}}$  3.3mA of a current peak value for each device.

[0142] After the reducing was carried in the foregoing manner, forming was carried again to manufacture an electron emitting device 74.

[0143] Then, welding was performed by heating a not-shown exhaust pipe by a gas burner at a degree of vacuum of about  $10^{-6}$  Torr, and then an envelope was sealed.

[0144] Lastly, getter processing was performed in order to maintain a degree of vacuum after the sealing. Specifically, immediately before, a getter disposed in a specified position (not shown) in the image forming apparatus was heated by a heating method such as high-frequency heating, and then a deposited film was formed and processed. The getter contained Ba or the like as a main component.

[0145] Also, to understand a characteristic of the flat surface conductive electron emitting device manufactured in the foregoing steps, a standard comparison sample equal in L, W or the like to the flat surface conductive electron emitting device shown in Fig. 1 was manufactured at the same time, and an electron emission characteristic thereof was measured by using the measurement evaluating device of Fig. 7. Measuring conditions for the comparison sample were: a distance between the anode electrode and the electron emitting device was 4mm; a potential of the anode electrode was 1kV; and a degree of vacuum in the vacuum device at the time of electron emission characteristic measurement was  $1 \times 10^{-6}$  Torr. A device current  $I_f$  and an emission current  $I_e$  flowing at this time were measured,

and then a current-voltage characteristic like that shown in Fig. 8 was obtained.

[0146] In the device, an emission current  $I_e$  was suddenly recognized from a device voltage of about 9V. A device current  $I_f$  was 2.0mA and an emission current  $I_e$  was  $3.6 \mu A$  at a device voltage 16V, and a range of fluctuation of  $I_e$  and  $I_f$  between the devices was 10% or lower. Also, reactive currents were limited to 2% or lower for all of the 30000 devices.

[0147] Then, to perform displaying on a display panel 121 composed by using the foregoing electron source of a simple matrix arrangement according to a TV signal of the NTSC system, television displaying was carried out by using the driving circuit described above with reference to Fig. 12. For a modulation system of a display image in the embodiment, a pulse width modulation system was employed.

[0148] In the preferred image forming apparatus of the invention, which was completed in the foregoing manner, a voltage was applied through the out-of container terminal Dox1 or Doxm, Doy1 or Doyn to each electron emitting device (see Fig. 10) to emit electrons. A high voltage of 10 kV was applied through the high voltage terminal Hv to the metal back 85 or a transparent electrode (not shown), electron beams were thereby accelerated and clashed with the fluorescent film 84 to be excited and emit a light. Then, a good image was displaying at low voltage driving and low power consumption.

[0149] As described above, by the forming of the invention, which was carried out after the reducing step, it was possible to realize an electron source to be driven by lower power consumption and a uniform image forming apparatus using the electron source and having little luminance distribution.

[0150]

[Embodiment 3] Fig. 21 a view showing an example of a display device adapted to display image information supplied from various image information sources, for instance television broadcasting, on a display panel using the surface conductive electron emitting device of the invention as an electron beam source. In the drawing, a reference numeral 200 denotes a display panel; 201 a driving circuit of the display panel; 202 a display controller; 203 a multiplexer; 204 a decoder; 205 an I/O interface circuit; 206 a CPU; 207 an image generating circuit; 208, 209 and 210 image memory in-

terface circuits; 211 image input interface circuit; 212 and 213 TV signal receiving circuits; and 214 an input section. The display device displays a vide and simultaneously reproduces a voice in the case of receiving a signal containing both video information and voice information, for instance a television signal. But description will be omitted of a circuit or a speaker for receiving, separating, processing or storing voice information having no direct relations with the features of the invention. Now, a function of each section will be described along a flow of an image signal.

[0151] First, the TV signal receiving circuit 213 receives a TV image signal transmitted by using a radio transmission system, for instance radio waves or space optical communications. No special limitation is placed on a system of receiving a TV signal, and any one can be selected from the NTSC system, the PAL system, the SECAM system, and so on. A TV signal having much more scanning lines (e.g., high-quality TV such as a MUSE system or the like) is a preferred signal source for making the best use of the display panel suited for an increase in area or in the number of pixels. The TV signal received by the TV signal receiving circuit 213 is then outputted to the decoder 204.

[0152] The TV signal receiving circuit 212 receives a TV image signal transmitted by using a line transmission system such as a coaxial cable, an optical fiber or the like. As in the case of the above TV signal receiving circuit 213, no limitation should be placed on a system of receiving a TV signal, and the TV signal received by the circuit 212 is also outputted to the decoder 204. The image input interface circuit 211 captures an image signal supplied from an image input device, and the captured image signal is outputted to the decoder 204. The image memory interface circuit 210 captures an image signal stored in a video tape recorder (abbreviated to VTR, hereinafter), and the captured image signal is outputted to the decoder 204. The image memory interface circuit 209 captures an image signal stored in a video disk, and the captured image signal is outputted to the decoder 204. The image memory interface circuit 208 captures an image signal stored in a device storing static image data like a so-called static image disk, and the captured static image data is entered to the decoder 204.

[0153] The I/O interface circuit 205 connects the display device to an out-

put device such as an external computer, a computer network or a printer. The circuit 205 can enter/output not only image data and character/graphic information but also can enter/output a control signal or numerical value data between the CPU 206 of the display device and the outside.

[0154] The image generating circuit 207 generates display image data based on image data and character/graphic information entered from the outside through the I/O interface circuit 205 or image data and character/graphic information outputted from the CPU 206. This circuit incorporates a rewritable memory for storing, for instance image data and character/graphic information, a read-only memory for storing an image pattern corresponding to a character code, and a circuit necessary for generating an image, such as a processor for processing an image or the like. Display image data generated by this circuit is outputted to the decoder 204. But the data can be outputted through the I/O interface circuit 205 to an external computer network or a printer in some cases.

[0155] The CPU 206 mainly performs control for the display or work regarding generation, selection or editing of a display image. For example, a control signal is outputted to the multiplexer 203, and image signals for display on the display panel are properly selected or combined. In this case, a control signal is generated for the display panel controller 202 according to an image signal to be displayed, and an operation of the display, such as a screen display frequency, a scanning method (e.g., interlacing or non-interlacing), the number of scanning lines for one screen, or the like, is appropriately controlled. Also, image data or character/graphic information is directly outputted to the image generating circuit 207, and by accessing the external computer or memory through the I/O interface circuit 205, image data or character/graphic information is entered. Needless to say, the CPU 206 can perform work other than the above. For example, the CPU 206 may have a direct function of generating processing information as in the case of a personal computer, a word processor or the like. As described above, the CPU 206 may be connected through the I/O interface circuit 205 to the external computer network to perform, for example numerical value calculation in cooperation with an external equipment.

[0156] The input section 214 is used when a user enters a command, a program or data to the CPU 206. For example, in addition to a keyboard

and a mouse, various input equipments including a joystick, a barcode reader, a voice recognition device, and so on, can be used.

[0157] The decoder 204 is a circuit adapted to reversely convert various image signals entered from the image generating circuit 207 or the TV signal receiving circuit 213 into three primary color signals, or a luminance signal, an I signal and Q signal. As indicated by a dotted line in the drawing, the decoder 204 should preferably include an image memory therein. This is for the purpose of processing a television signal, which needs the image memory when performing reverse conversion, such as the MUSE system. The provision of the image memory facilitates displaying a static image. Alternatively, the provision of the image memory is advantageous for facilitating image processing such as image thinning, interpolation, enlargement, reduction or synthesis, or editing, in cooperation with the image generating circuit 207 and the CPU 206.

[0158] The multiplexer 203 properly selects an image to be displayed based on control signal entered by the CPU 206. Specifically, the multiplexer 203 selects desired one from reverse-converted image signals entered from the decoder 204, and outputs the same to the driving circuit 201. In this case, by switching image signals in one screen display time so as to make selection, as in the case of so-called multi-screen television, one screen is divided into a plurality of areas, and different images can be displayed.

[0159] The display controller 202 is a circuit adapted to control an operation of the driving circuit 201 based on a control signal entered by the CPU 206. First, for a basic operation of the display panel, for example, a signal for controlling an operation sequence of a driving power source (not shown) of the display panel is outputted to the driving circuit 201. For a driving method of the display panel, for example, a signal for controlling a screen display frequency or a scanning method (e.g., interlacing or non-interlacing) is outputted to the driving circuit 201. When necessary, a control signal for adjusting an image quality such as luminance, contrast or color tone of an image to be displayed may be outputted to the driving circuit 201. Also, the driving circuit 201 generates a driving signal to be applied to the display panel 200, and is operated based on an image signal entered from the multiplexer 203 and a control signal entered from the display controller 202.

[0160] The functions of the respective sections have been described. With

the constitution illustrated in Fig. 21, in the display device, image information entered from various image information sources can be displayed on the display panel 200. Specifically, various image signals for television broadcasting or the like are subjected to reverse conversion in the decoder 204, then properly selected by the multiplexer 203, and entered to the driving circuit 201. On the other hand, the display controller 202 generates a control signal for controlling an operation of the driving circuit 201 according to an image signal to be displayed. The driving circuit 201 applies a driving signal to the display panel 200 based on the image signal and the control signal. Accordingly, an image is displayed on the display panel 200. A series of these operations are controlled altogether by the CPU 206.

[0161] Also, the display device can display information selected from the image memory incorporated in the decoder 204, the image generating circuit 207 and other bits of information, and can also perform image processing such as enlargement, reduction, rotation, movement, edge emphasis, thinning, interpolation, color conversion, image aspect ratio conversion of an image or the like, and image editing such as synthesis, deletion, connection, replacement, fitting or the like. Although no mention was made in the description of the embodiment, as in the case of the image processing and the image editing, a special circuit may be provided for processing or editing voice information. Accordingly, the display device can function as a display for television broadcasting, a terminal for television conference, a computer terminal, an image editor for processing static and moving images, a business terminal such as a work processor or the like, a game machine, and so on, by one device. Therefore, the display device has a wide ranging use, for industrial as well as private use.

[0162] Fig. 12 shows only an example of the constitution of the display device using the display panel, which uses the surface conductive electron emitting device as an electron beam source and, needless to say, the constitution should not be limited to such. For example, among the constituting elements of Fig. 12, the circuits regarding functions put to no use can be omitted. Conversely, more constituting elements may be added depending on use. For example, to apply the display device as a television telephone set, a transmitting/receiving circuit including a television camera, a voice microphone, an illuminator and a modem should preferably be added as a

constituting element.

[0163] In the display device, since especially thinning of the display panel using the surface conductive electron emitting device as an electron beam source is facilitated, a depth of the display device can be reduced. In addition, since the display panel using the surface conductive electron emitting device as an electron beam source has high luminance and a good characteristic regarding an angle of field, the display device can display an image full of realism with good visibility. Also, since a beam source having a uniform electron emission characteristic and low power consumption driving can be manufactured by the manufacturing method of the invention, a low-power consumption, uniform, bright and high-quality color flat television set can be realized. Furthermore, since a large-area and mass-production technology such as a printing method, an ink jet method, a bubble jet method or the like having relatively large thin thickness distribution can be used to manufacture a surface conductive electron emitting device, a large-screen image forming apparatus providing an image full of realism and moving can be easily manufactured.

[0164]

[Effects of the invention] As described above, the present invention is advantageous in that manufacturing yield of the electron emitting device and power consumption can be reduced, and an electron source of lower power consumption and a high-quality image forming apparatus using the same can be realized. Moreover, the invention is advantageous in that formation of a conductive thin film of the device can be performed on the basis of mass production using printing, a bubble jet method, an ink jet method, a spray coating method or the like.

#### [BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1] A schematic sectional view showing a basic manufacturing method of a surface conductive electron emitting device of the present invention.

[Fig. 2] A view showing an example of a voltage waveform of energization forming, which is suited for the invention.

[Fig. 3] A view showing a relationship between a voltage wave high value and a current wave high value of the energization forming, which is suited for the invention.

[Fig. 4] Schematic plan and sectional views showing a basic constitution of

the surface conductive electron emitting device, which is suited for the invention.

[Fig. 5] A schematic sectional view showing a basic constitution of a vertical surface conductive electron emitting device, which is suited for the invention.

[Fig. 6] A view showing a manufacturing method of an embodiment of the invention.

[Fig. 7] A schematic constitutional view of a measurement evaluating device for measuring an electron emission characteristic.

[Fig. 8] A graph showing a typical example of relations among an emission current  $I_e$ , an device current  $I_f$  and an device voltage  $V_f$  of the surface conductive electron device of the invention.

[Fig. 9] A schematic view illustrating an electron source of simple matrix arrangement, to which the invention can be applied.

[Fig. 10] A schematic constitutional view of a display panel of an image forming apparatus employing the electron source of simple matrix arrangement, to which the invention can be applied.

[Fig. 11] A view showing a fluorescent film applicable to the panel of Fig. 10.

[Fig. 12] A block diagram of a driving circuit in an example of performing displaying according to a television signal of an NTSC system in the image forming apparatus, to which the invention can be applied.

[Fig. 13] A view showing an electron source of ladder arrangement, to which the invention can be applied.

[Fig. 14] A schematic constitutional view of a display panel of an image forming apparatus employing the electron source of ladder arrangement, to which the invention can be applied.

[Fig. 15] A view showing an example of a manufacturing method of a surface conductive electron emitting device, to which the invention can be applied, and which is suited for the invention.

[Fig. 16] A graph showing a typical example of relations among an emission current  $I_e$ , an device current  $I_f$  and an device voltage  $V_f$  of the surface conductive electron emitting device of the invention.

[Fig. 17] A partial plan view of an electron source of simple matrix arrangement, to which the invention can be applied.

[Fig. 18] A sectional view taken on line A-A' of Fig. 15.

[Fig. 19] A view showing a manufacturing method of the electron source of simple matrix arrangement, to which the invention can be applied.

[Fig. 20] A view showing the electron source of simple matrix arrangement, to which the invention can be applied.

[Fig. 21] A view showing an example of a display device employing the image forming apparatus, to which the invention can be applied.

[Fig. 22] A plan view showing a form of a conventional surface conductive electron emitting device manufactured by forming, and a view of an device equivalent circuit during forming.

[Fig. 23] A view showing the conventional surface conductive electron emitting device.

[Description of reference numerals]

1: SUBSTRATE, 2, 3: DEVICE ELECTRODE, 4: CONDUCTIVE THIN FILM, 5: ELECTRON EMITTING SECTION, 21: STEP-DIFFERENCE FORMING SECTION, 50: AMMETER FOR MEASURING DEVICE CURRENT IF FLOWING TO CONDUCTIVE THIN FILM 4 BETWEEN DEVICE ELECTRODES 2 AND 3, 51: POWER SOURCE FOR APPLYING DEVICE VOLTAGE  $V_f$  TO ELECTRON EMITTING DEVICE, 52: AMMETER FOR MEASURING EMISSION CURRENT  $I_e$  DISCHARGED FROM ELECTRON EMITTING SECTION OF DEVICE, 53: HIGH VOLTAGE POWER SOURCE FOR APPLYING VOLTAGE TO ANODE ELECTRODE 74, 54: ANODE ELECTRODE FOR CAPTURING EMISSION CURRENT  $I_e$  DISCHARGED FROM ELECTRON EMITTING SECTION OF DEVICE, 55: VACUUM DEVICE, 56: EXHAUST PUMP, 71: ELECTRON SOURCE SUBSTRATE, 72: X DIRECTIONAL WIRING, 73: Y DIRECTIONAL WIRING, 74: SURFACE CONDUCTIVE ELECTRON EMITTING DEVICE, 75: CONNECTION, 81: REAR PLATE, 82: SUPPORTING FRAME, 83: GLASS SUBSTRATE, 84: FLUORESCENT FILM, 85: METAL BACK, 86: FACE PLATE, 87: HIGH VOLTAGE TERMINAL, 88: ENVELOP, 91: BLACK CONDUCTIVE MATERIAL, 92: FLUORESCENT SUBSTANCE, 101: DISPLAY PANEL, 102: SCANNING CIRCUIT, 103: CONTROL CIRCUIT, 104: SHIFT REGISTER, 105: LINE MEMORY, 106: SYNCHRONIZING SIGNAL SEPARATION CIRCUIT, 107: MODULATING SIGNAL GENERATOR, 110: ELECTRON SOURCE SUBSTRATE, 111:

ELECTRON EMITTING DEVICE, 112: COMMON WIRING FOR WIRING  
ELECTRON EMITTING DEVICE, 120: GRID ELECTRODE, 121: HOLE  
FOR PASSAGE OF ELECTRON, 122: OUT-OF CONTAINER TERMINAL  
COMPOSED OF  $Dox_1, Dox_2, \dots, Dox_m$ , 123: OUT-OF CONTAINER  
TERMINAL COMPOSED OF  $G_1, G_2, \dots, G_n$  CONNECTED TO GRID  
ELECTRODE 120, 124: ELECTRON SOURCE SUBSTRATE, 151:  
SUBSTRATE, 152, 153: DEVICE ELECTRODE, 154: CONDUCTIVE  
THIN FILM, 155: ELECTRON EMITTING SECTION, 157: REDUCTION  
DEVICE, 181: INTERLAYER INSULATING LAYER, 182: CONTACT  
HOLE, 191: Cr FILM, 200: DISPLAY PANEL, 201: DRIVING CIRCUIT OF  
DISPLAY PANEL, 202: DISPLAY CONTROLLER, 203: MULTIPLEXER,  
204: DECODER, 205: I/O INTERFACE CIRCUIT, 206: CPU, 207: IMAGE  
GENERATING CIRCUIT, 208, 209, 210: IMAGE MEMORY INTERFACE  
CIRCUIT, 211: IMAGE ENTRY INTERFACE CIRCUIT, 212, 213: TV  
SIGNAL RECEIVING CIRCUIT, 214: INPUT SECTION, 217: CENTER  
PORTION OF CONDUCTIVE THIN FILM, 218, 219: END PORTION OF  
CONDUCTIVE THIN FILM, 221: SUBSTRATE, 223: ELECTRON  
EMITTING SECTION, 224: CONDUCTIVE THIN FILM



FIG. 3

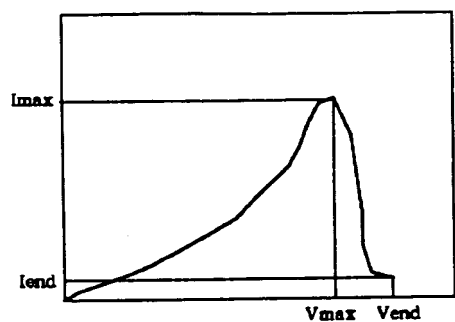


FIG. 4

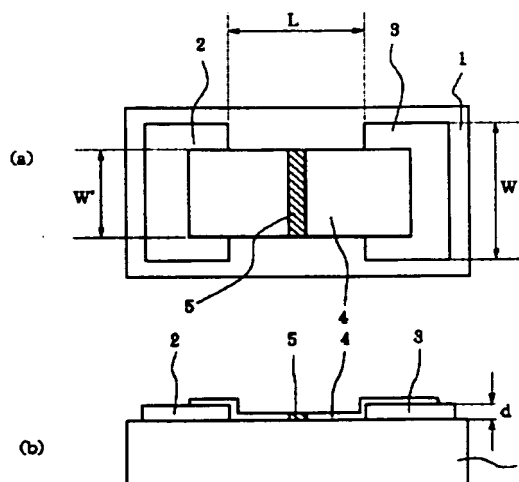


FIG. 5

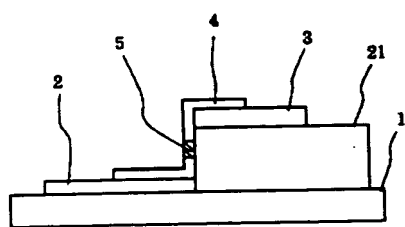


FIG. 6

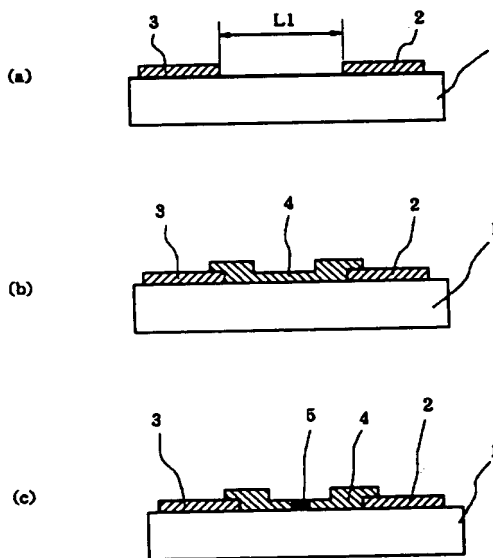


FIG. 7

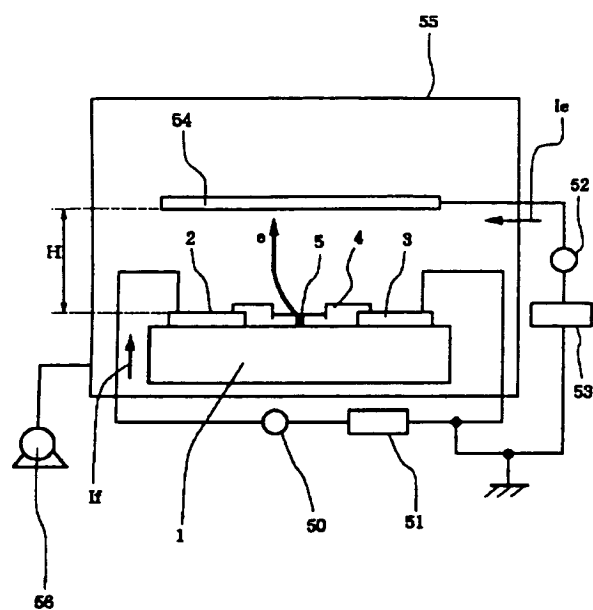


FIG. 8

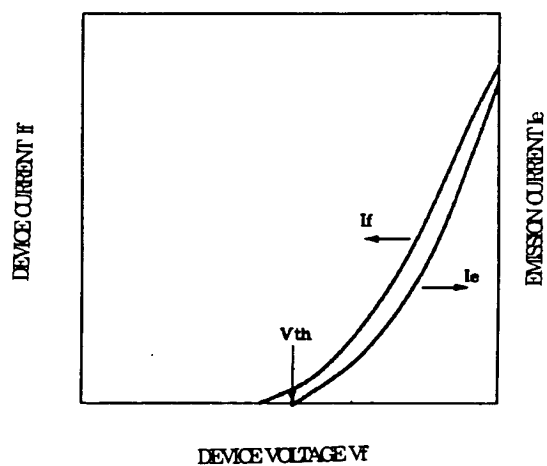


FIG. 9

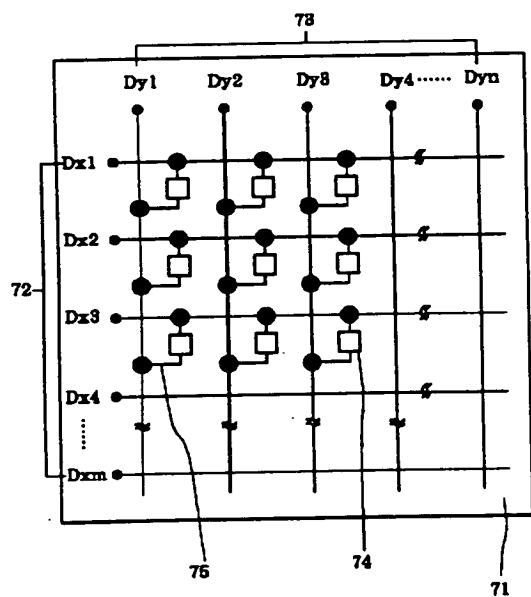


FIG. 11

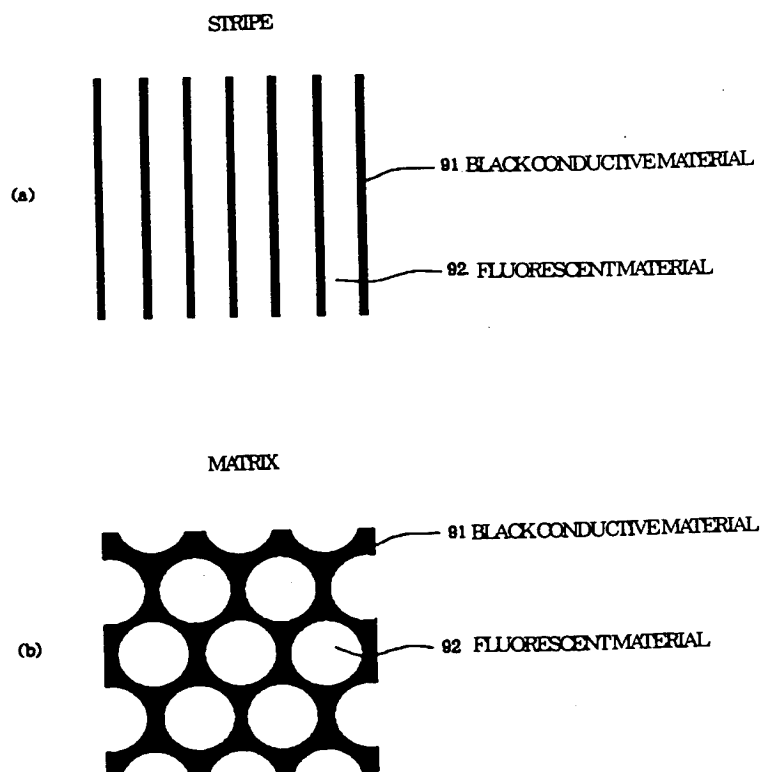


FIG. 10

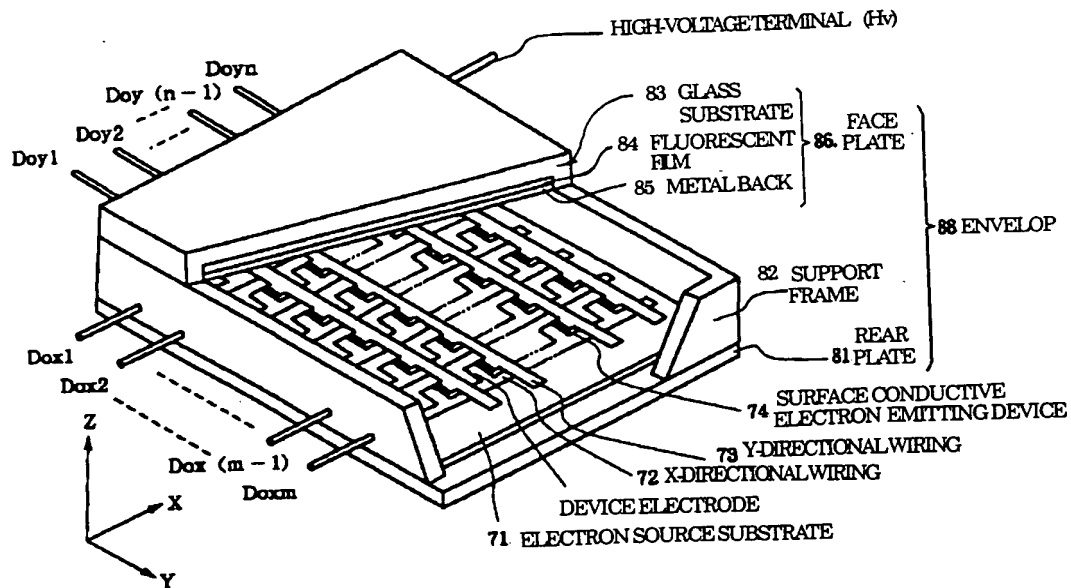


FIG. 12

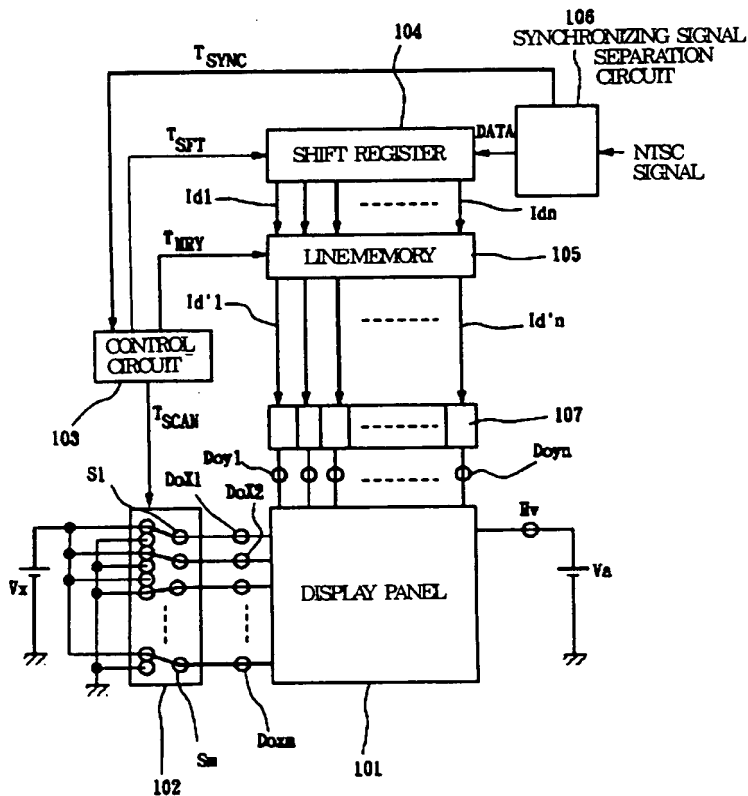


FIG. 13

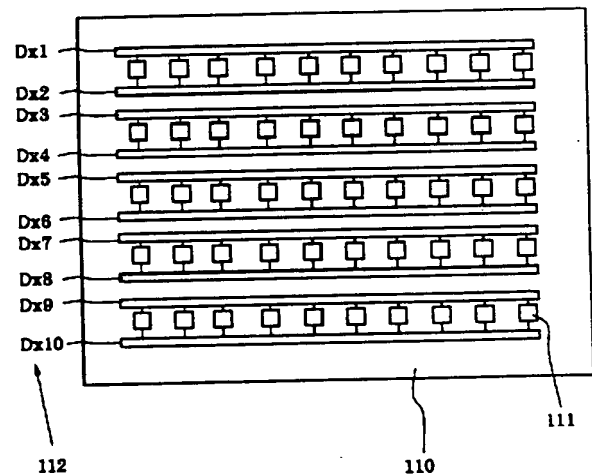


FIG. 23

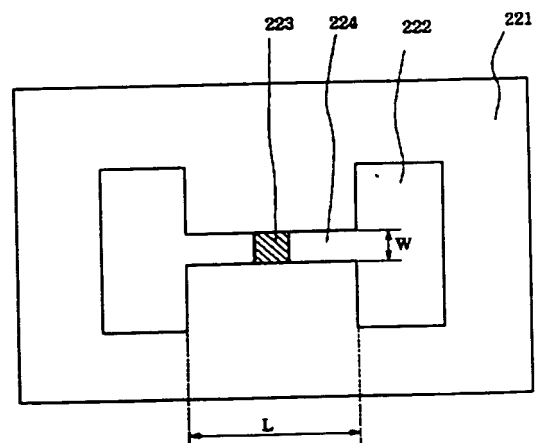


FIG. 14

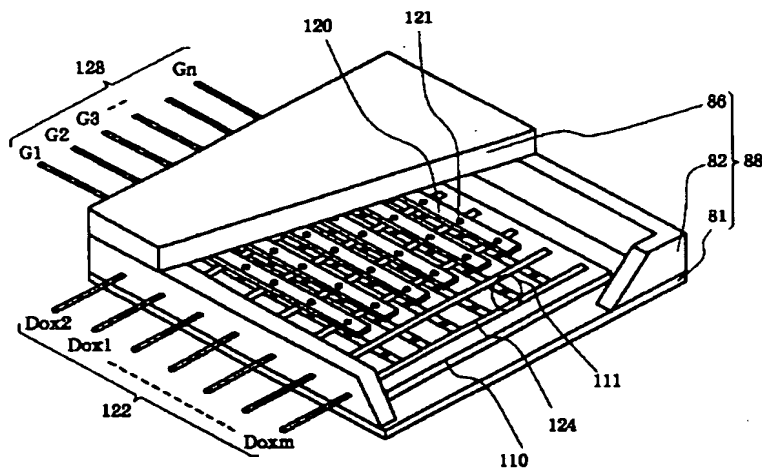


FIG. 15

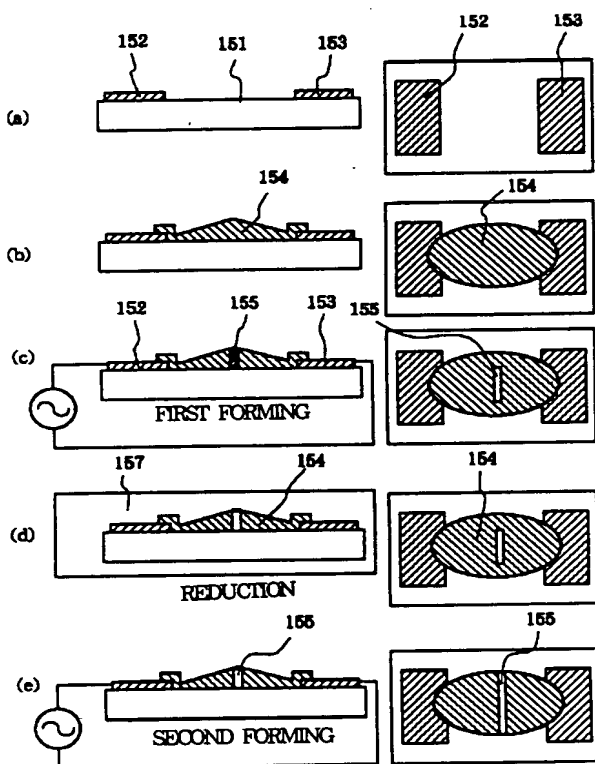


FIG. 16

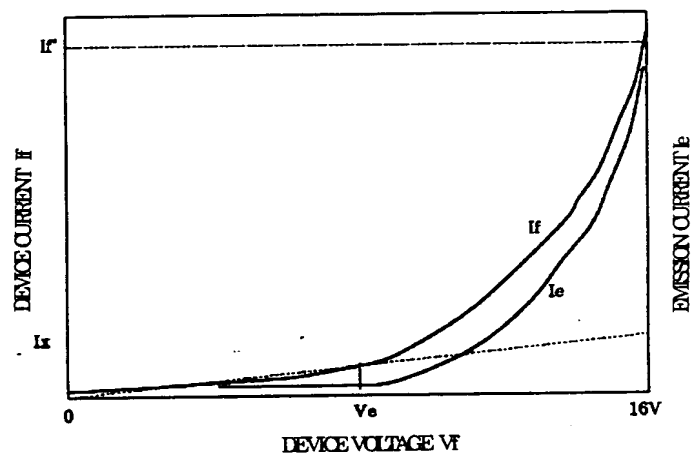
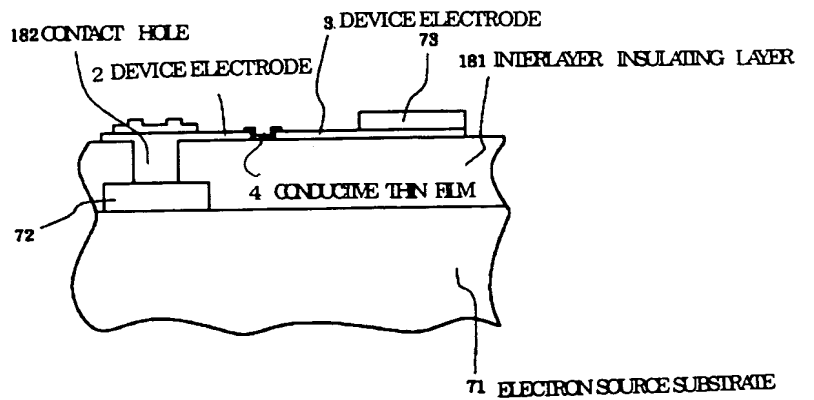


FIG. 18



A SECTIONAL VIEW TAKEN ON LINE A-A

FIG. 17

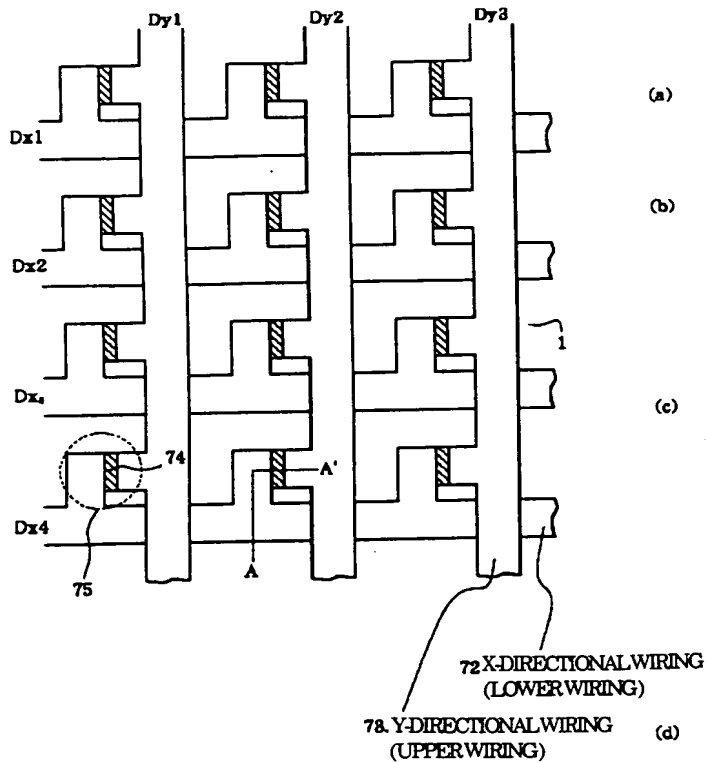


FIG. 19

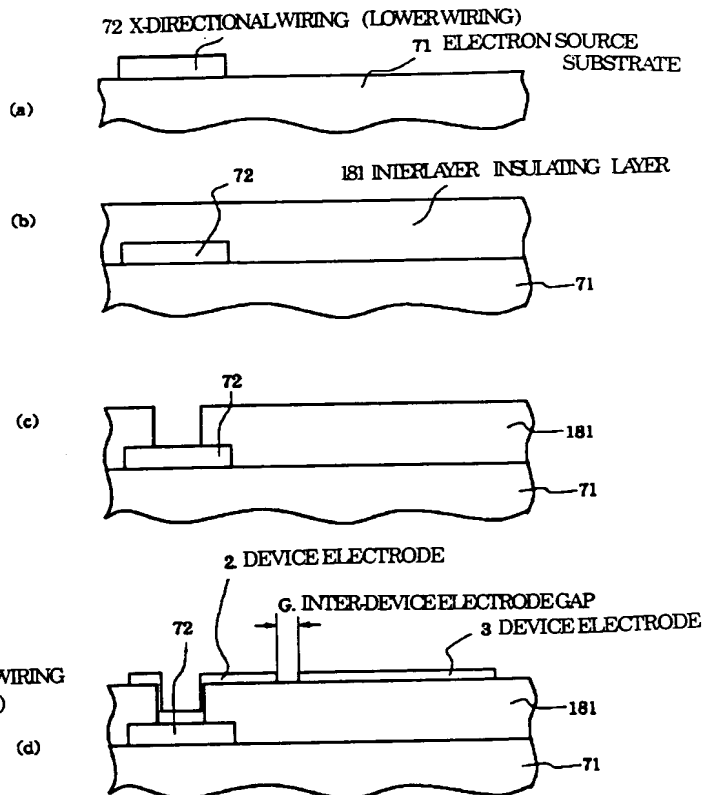


FIG. 21

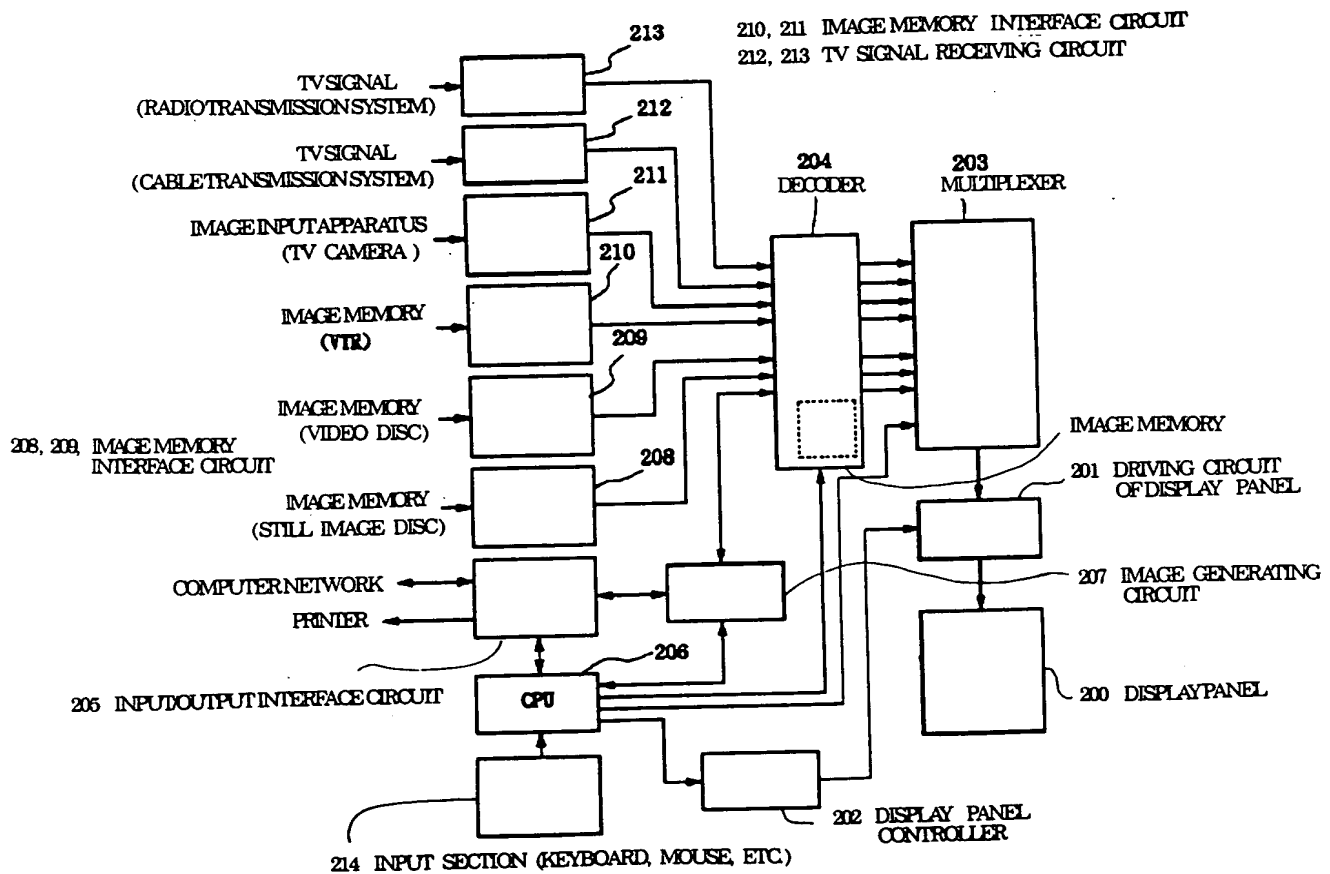


FIG. 20

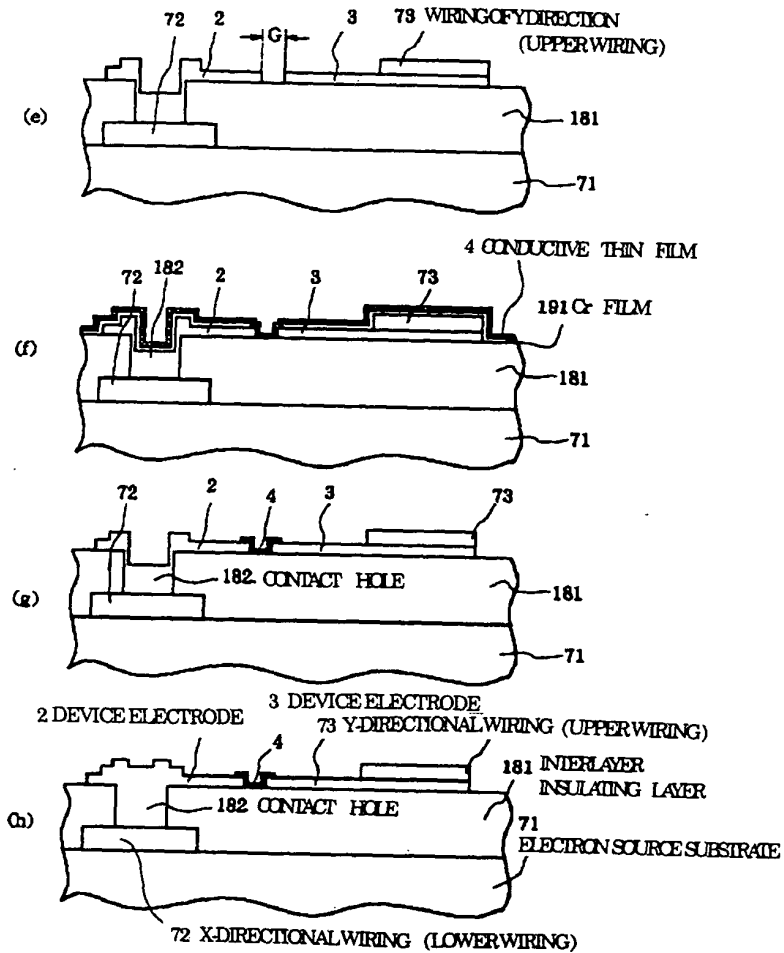
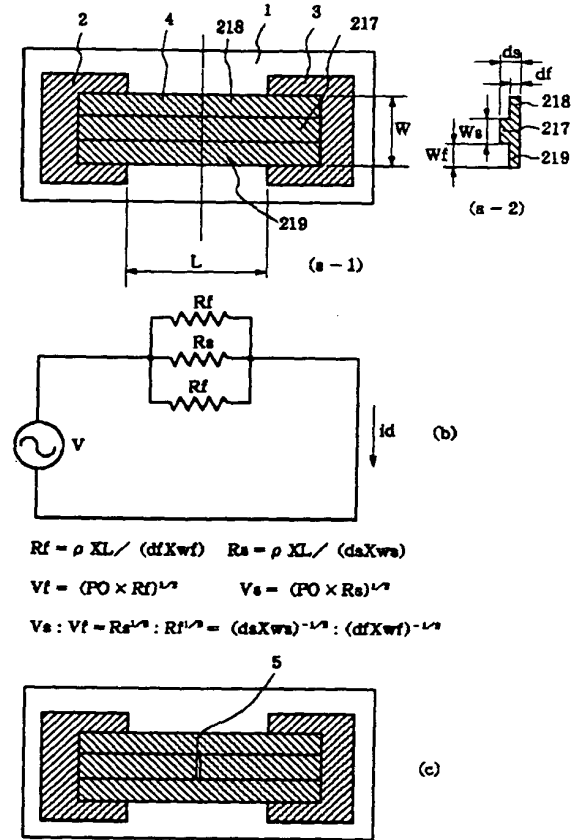


FIG. 22



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223459

(43) 公開日 平成9年(1997)8月26日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J 9/02 31/12			H 0 1 J 9/02 31/12	B C

審査請求 未請求 請求項の数 5 F D (全 23 頁)

(21) 出願番号 特願平8-52551

(22) 出願日 平成8年(1996)2月16日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小野 武夫

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

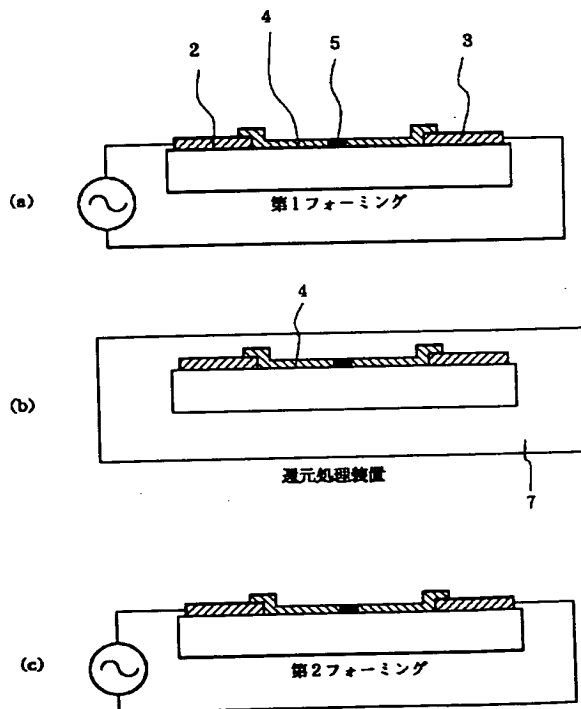
(74) 代理人 弁理士 伊東 哲也 (外1名)

(54) 【発明の名称】 電子放出素子、電子源、および画像形成装置の製造方法

(57) 【要約】

【課題】 大面積化が容易でかつ電力効率が良い電子放出素子およびこれを用いた輝度むらの少ない画像形成装置を提供する。

【解決手段】 電極2、3間に電子放出部5が形成された導電性膜4を有する電子放出素子の製造方法において、前記電子放出部の形成工程が、酸化物あるいは金属と酸化物とで構成された導電性膜の還元工程と、この還元工程の前後に行われる、該導電性膜への通電工程とを有する。



## 【特許請求の範囲】

【請求項1】 電極間に電子放出部が形成された導電性膜を有する電子放出素子の製造方法において、前記電子放出部の形成工程が、酸化物あるいは金属と酸化物とで構成された導電性膜の還元工程と、該還元工程の前後に行われる、該導電性膜への通電工程とを有することを特徴とする電子放出素子の製造方法。

【請求項2】 前記導電性膜が、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>、MoO、MoO<sub>2</sub>から選ばれる酸化物、あるいはPd、Pt、Ru、Ag、Au、Ti、In、Mo、Cu、Cr、Fe、Zn、Sn、Ta、W、Pbから選ばれる金属と前記酸化物との混合物で構成されていることを特徴とする請求項1記載の電子放出素子の製造方法。

【請求項3】 前記還元工程の前に行われる通電工程は、前記導電性膜に流れる電流が所定の電流値以下になったところで終了することを特徴とする請求項1または2記載の電子放出素子の製造方法。

【請求項4】 基体上に、複数の電子放出素子が配置された電子源の製造方法において、前記電子放出素子が、請求項1～3のいずれかの方法にて製造されることを特徴とする電子源の製造方法。

【請求項5】 基体上に、複数の電子放出素子が配置された電子源と、前記電子源からの電子の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子放出素子が、請求項1～3のいずれかの方法にて製造されることを特徴とする画像形成装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子放出素子、電子源、画像形成装置の製造方法に関する。

## 【0002】

【従来の技術】従来、電子放出素子として熱電子源と冷陰極電子源の2種類が知られている。冷陰極電子源には電界放出型（以下FE型と略す）、金属／絶縁層／金属型（以下MIM型と略す）や表面伝導型電子放出素子等がある。FE型の例としてはW. P. Dyke & W. W. Dolan, "Field emission", *Advance in Electron Physics*, 8, 89 (1956) あるいはC. A. Spindt, "PHYSICAL Properties of thin-film field emission cathodes with molybdenum cones" *J. Appl. Phys.*, 47, 5248 (1976) 等が知られている。

【0003】MIM型の例としてはC. A. Mead, "Operation of Tunnel-Emission Devices", *J. Apply. Phys.*, 32, 646 (1961) 等に関示されたものが

知られている。

【0004】表面伝導型電子放出素子型の例としては、M. I. Elinson, *Radio Eng. Electron Pys.*, 10, (1965) 等がある。

【0005】表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記Elinson等によるSnO<sub>2</sub>薄膜を用いたもの、Au薄膜によるもの[G. Dittmer, "Thin Solid Films", 9, 317 (1972)]、In<sub>2</sub>O<sub>3</sub>/SnO<sub>2</sub>薄膜によるもの[M. Hartwell and C. G. Fonstad, "IEEE Trans. ED Conf.", 519 (1975)]、カーボン薄膜によるもの[荒木久他, 真空, 第26巻, 第1号, 22頁(1983)]等が報告されている。

【0006】これらの表面伝導型電子放出素子の典型的な素子構成として前述のM. Hartwellの素子構成を図23に示す。同図において221は基板である。224は導電性薄膜で、H型形状のパターンに、スパッタで形成された金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部223が形成される。尚、図中の素子電極間隔Lは、0.5～1mm、Wは、0.1mmで設定されている。尚、電子放出部223の位置および形状については、不明であるので模式図として表した。

【0007】従来、これらの表面伝導型電子放出素子においては、電子放出を行う前に導電性薄膜224を予め通電フォーミングと呼ばれる通電処理によって電子放出部223を形成するのが一般的であった。即ち、通電フォーミングとは前記導電性薄膜224両端に直流電圧あるいは非常にゆっくりとした昇電圧例えば1V/分程度を印加通電し、導電性薄膜を局部的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部223を形成することである。尚、電子放出部223は導電性薄膜224の一部に亀裂が発生しその亀裂付近から電子放出が行われる。前記通電フォーミング処理をした表面伝導型電子放出素子は、上述導電性薄膜224に電圧を印加し、素子に電流を流すことにより、上述電子放出部223より電子を放出せしめるものである。

【0008】上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積にわたり多数素子を配列形成できる利点がある。そこで、この特徴を生かせるようないろいろな応用が研究されている。例えば、荷電ビーム源、表示装置等があげられる。多数の表面伝導型電子放出素子を配列形成した例としては、後述する様に、梯子配置と呼ぶ並列に表面伝導型電子放出素子を配列し、個々の素子の両端を配線（共通配線とも呼ぶ）で、それぞれ結線した行を多数行配列した電子源があげられる（例えば、特開昭64-031332、特開平1

-283749、2-257552等)。また、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置が、CRTに替わって、普及してきたが、自発光型でないため、バックライトを持たなければならない等の問題点があり、自発光型の表示装置の開発が、望まれてきた。自発光型表示装置としては、表面伝導型電子放出素子を多数配置した電子源と電子源より放出された電子によって、可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置が、あげられる(例えば、USP5066883)。

【0009】

【発明が解決しようとする課題】従来、導電性薄膜224は金属膜に比較し、抵抗が十分大きなもので構成していた。これは、通電フォーミングにより電子放出部を形成するため、電子放出部形成用の導電性薄膜の抵抗を小さくすると通電フォーミングに要する電流が大きくなり、複数素子を同時に通電フォーミングするマルチ電子源などの製造には現実的でない大電流仕様の通電処置装置が必要になってしまうためである。

【0010】一方、これら電子源およびこれを用いた画像形成装置においては、装置の大型化(大面積化)に伴い、素子電極等のパターンニングには、表面伝導型電子放出素子の素子電極間の長さ(ギャップ長)が、3μm以上好ましくは、数10μm以上であることが、露光機のパフォーマンス、および歩留まり等製造上の問題より必要となる。

【0011】上述の導電性薄膜として金属の酸化物あるいは金属と酸化物の混合物薄膜を用いて適度な抵抗の薄膜を実現しているが、特に広ギャップ長の素子において、フォーミング時に電極ギャップ内に形成される亀裂幅に分布が発生するという問題が発生する場合があった。これは広ギャップにすることでギャップ内に該導電性薄膜の膜厚分布等で発生する抵抗分布が大きくなり、通電フォーミングで消費される電力が局所的に異なってしまうことで亀裂幅に分布が発生したものである。亀裂幅分布が存在する素子の駆動電極間に電圧をかけ、電子を亀裂部から放出させる際、この分布により、亀裂部に印加される電界強度にも分布が発生し、電子放出部が一部に偏り結果として蛍光体の画素中心と電子ビーム中心がずれてしまい輝度が低下する場合もあり、輝度の分布を発生させる原因となっていた。更に上記金属酸化物の膜厚が薄く抵抗が大きい場合、フォーミング電流が流れず、亀裂が形成されない部分が発生した。これは電子放出駆動の際、オーミックなリーク電流となり、駆動電力を上昇させる原因ともなっていた。

【0012】ここで、該導電性薄膜の膜厚分布が存在した場合のフォーミング時の亀裂形成について図22を用いて説明する。図22(a)中、1は絶縁性基板、2、3は金属の電極で素子に電流を注入するものである。4は導電性薄膜、217は導電性薄膜の中央部、218、

219は導電性薄膜の両端部を示す。フォーミングは外部の電源Vから電極2、3を通じて導電性薄膜に電圧を印加して電流を流すことで行うのであるが、ここでは電子放出部が電極間の中央部で形成される際、その両端部218、219と中央部217で導電性薄膜の膜厚が異なる場合を考え、その中央部217の膜厚が両端部218、219に比較して厚いとしたが、一般には、導電性薄膜の膜厚は異なっても構わない。

【0013】この際、導電性薄膜中央部217の膜厚をds、幅をws、抵抗をRs、両端部218、219の導電性薄膜の膜厚をdf、幅をwf、抵抗をRfとすると、素子は、図22(b)のような等価回路でフォーミングされることになる。導電性薄膜の抵抗率を一定値ρとし、フォーミングに必要な電力をP0とすると導電性薄膜は並列につながった抵抗成分となるため、電力P0を印加するのに必要な駆動電圧は両端部218、219でVf、中央部でVsとすると数1式で示される。

【0014】

【数1】

$$\begin{aligned} V_f : V_s &= (P_0 \times R_f)^{1/2} : (P_0 \times R_s)^{1/2} \\ &= R_f^{1/2} : R_s^{1/2} \\ &= (d_s \times w_s)^{1/2} : (d_f \times w_f)^{1/2} \end{aligned}$$

すなわちdsに対するdfの比が小さくなるほどVfは大きくなってしまい、極端に薄くなった場合、フォーミングに必要な電圧が過剰に大きくなり、既にフォーミングされている亀裂幅を広げたり、通電により該導電性薄膜の還元が進行し、低抵抗化により大電流が流れる等により亀裂幅の分布発生の原因となる場合があった。

【0015】図22(c)のようにフォーミングが不完全な場合、電子放出駆動時のリーク電流による消費電力の増加の要因となっていた。素子数を増やすと、リーク電流は素子数に応じて大きくなるため、画素数を増やした高品位画像形成装置、ならびに大画面画像形成装置では消費電力が不必要に大きくなる欠点を有していた。さらに、電力の効率向上を考えると素子の膜厚分布を小さく抑える必要が生じ、素子形状の設計の自由度を制限し、印刷、インクジェット法、バブルジェット法など簡便な製造方法による導電性薄膜では、膜厚分布を小さく形成するのは難しく、大量生産は困難であるという問題があった。

【0016】そこで本発明の目的は、かかる従来の問題を鑑みて、簡易な構成でかつ容易に、装置の大型化(大面積化)にも適用可能な、電力効率の良い電子放出素子、したがって輝度むらの少ない画像形成装置を実現することにある。

【0017】

【課題を解決するための手段】この目的を達成するため本発明では、電極間に電子放出部が形成された導電性膜を有する電子放出素子の製造方法において、前記電子放

10

30

40

50

出部の形成工程が、酸化物あるいは金属と酸化物とで構成された導電性膜の還元工程と、該還元工程の前後に行われる、該導電性膜への通電工程とを有することを特徴とする。

【0018】また、前記導電性膜が、PdO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>、PbO、Sb<sub>2</sub>O<sub>3</sub>、MoO<sub>3</sub>、MoO<sub>2</sub>から選ばれる酸化物、あるいはPd、Pt、Ru、Ag、Au、Ti、In、Mo、Cu、Cr、Fe、Zn、Sn、Ta、W、Pbから選ばれる金属と前記酸化物との混合物で構成されていることを特徴とする。

【0019】また、前記還元工程の前に行われる通電工程は、前記導電性膜に流れる電流が所定の電流値以下になったところで終了することを特徴とする。

【0020】また、基体上に、複数の電子放出素子が配置された電子源の製造方法において、前記電子放出素子が、上記いずれかの方法にて製造されることを特徴とする。

【0021】また、基体上に、複数の電子放出素子が配置された電子源と、前記電子源からの電子の照射により画像を形成する画像形成部材とを有する画像形成装置の製造方法において、前記電子放出素子が、上記いずれかの方法にて製造されることを特徴とする。

#### 【0022】

【発明の実施の形態】次に本発明の好ましい実施形態を示す。まず、本発明の特徴であるフォーミング工程について図1を用いて説明する。通電フォーミングと呼ばれる通電処理は、素子電極2、3間に、不図示の電源より通電し、導電性薄膜4の部位に、構造の変化した電子放出部5を形成するものである。この通電フォーミングにより導電性薄膜4を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位を電子放出部5と呼ぶ。通電フォーミングの電圧波形の例を図2に示す。

【0023】図2におけるT1及びT2は、電圧波形のパルス幅とパルス間隔であり、T1を1マイクロ秒～10ミリ秒、T2を10マイクロ秒～100ミリ秒とし、三角波の波高値（通電フォーミングパルスのピーク電圧）は、例えば0.1Vステップ程度づつ、増加させ、適当な真空雰囲気下で印加する。

【0024】尚、三角波の波高値と波高値での電流値を図3に示した。電流の波高値のピーク値をI<sub>max</sub>、この時の電圧をV<sub>max</sub>としている。

【0025】通常、通電フォーミング処理の終了は、三角波の最大電圧印加時の電流値がピークパルス間隔T2中に、導電性薄膜4を局所的に破壊、変形しない程度の電圧、例えば0.1V程度の電圧で、素子電流を測定し、抵抗値を求め、例えば、1Mオーム以上の抵抗を示した時、通電フォーミングを終了とする。しかし、前述した導電性薄膜の膜厚分布により高抵抗化が困難な場合、I<sub>max</sub>に対して一定の割合の電流値となったところで第1回目のフォーミングを終了する。I<sub>max</sub>に対

する割合は該導電性薄膜の材料、平均膜厚により適当に設定するものであるが、好ましくは90%以下である（ $I_{end}/I_{max} \leq 0.9$ ）。

【0026】そして次に真空中における加熱処理、還元ガス雰囲気処理等により還元処理を行う。これは還元処理装置7に素子を装着し、導電性薄膜4の全面が完全に還元されるまで処理を行う。

【0027】そして最後に還元後の導電性薄膜を、再度通電フォーミングする。工程の内容は第1回目と同様に行い、素子電流を測定し、抵抗値を求め、例えば、1Mオーム以上の抵抗を示した時、通電フォーミングを終了する。ここで還元により膜厚が薄く抵抗の比較的高かった部分が低抵抗化し、電流が流れるようになるため低電圧でフォーミングが終了可能となるわけである。

【0028】これにより電子放出素子は、フォーミングにより形成される亀裂が均一になり、電子放出部の位置および放出量の再現性が増し、製造歩留まりが向上する。また、多数の素子を形成した場合、素子間の電子放出量のばらつきが減少し、均一性も向上する。更に、大面積基板上に電子放出素子を形成する場合、本発明の製造方法を用いることで該導電性薄膜の膜厚のマージンを広げることが可能となるため、印刷、インクジェット、バブルジェット、スプレー法等の簡便な方法で、安価に素子を製造可能となる。そして上記電子源を用いた画像形成装置によれば、大型で輝度の均一性が高い表示装置が実現可能となる。

【0029】まず、平面型表面伝導型電子放出素子について説明する。図4は、本発明を適用可能な平面型表面伝導型電子放出素子の構成を示す模式図であり、図4(a)は平面図、図4(b)は断面図である。図4において1は基板、2と3は素子電極、4は導電性薄膜、5は電子放出部である。

【0030】基板1としては、石英ガラス、Na等の不純物含有量を減少したガラス、青板ガラス、青板ガラスにスパッタ法等により形成したSiO<sub>2</sub>を積層したガラス基板及びアルミナ等のセラミックス及びSi基板等を用いることができる。

【0031】対向する素子電極2、3の材料としては、一般的な導体材料を用いることができる。これは例えばNi、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属或は合金およびPd、Ag、Au、RuO<sub>2</sub>、Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、In<sub>2</sub>O<sub>3</sub>等の透明導電体およびポリシリコン等の半導体材料等から適宜選択することができる。

【0032】素子電極間隔L、素子電極長さW、導電性薄膜4の形状等は、応用される形態等を考慮して、設計される。素子電極間隔Lは、好ましくは、数千オングストロームから数百マイクロメートルの範囲とすることができ、より好ましくは、素子電極間に印加する電圧等を

10

20

30

40

50

考慮して数マイクロメートルから数十マイクロメートルの範囲とすることができる。

【0033】素子電極長さWは、電極の抵抗値、電子放出特性を考慮して、数マイクロメートルから数百マイクロメートルの範囲とすることができる。素子電極2、3の膜厚dは、数百オングストロームから数マイクロメートルの範囲とすることができる。

【0034】尚、図4に示した構成だけでなく、基板1上に、導電性薄膜4、対向する素子電極2、3の順に積層した構成とすることもできる。

【0035】導電性薄膜4には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極2、3へのステップカバレッジ、素子電極2、3間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、数オングストロームから数千オングストロームの範囲とするのが好ましく、より好ましくは10オングストロームより500オングストロームの範囲とするのが良い。その抵抗値は、 $R_s$ が $10^2$ から $10^7 \Omega/\square$ の値である。なお $R_s$ は、厚さがt、幅がwで長さが1の薄膜の抵抗Rを、 $R=R_s(1/w)$ とおいたときに現れる。

【0036】導電性薄膜4を構成する材料は、 $PdO$ 、 $SnO_2$ 、 $In_2O_3$ 、 $PbO$ 、 $Sb_2O_3$ 、 $MoO$ 、 $MoO_2$ 等の酸化物、あるいはPd、Pt、Ru、Ag、Au、Ti、In、Mo、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属と前記酸化物との混合物等の中から適宜選択される。

【0037】ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造は、微粒子が個々に分散配置した状態あるいは微粒子が互いに隣接、あるいは重なり合った状態（いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む）をとっている。微粒子の粒径は、数オングストロームから数千オングストロームの範囲、好ましくは、10Åから200Åの範囲である。

【0038】なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。小さな粒子を「微粒子」と呼び、これよりも小さなものを「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく原子の数が数百個程度以下のものを「クラスター」と呼ぶことは広く行われている。しかしながら、それぞれの境は厳密なものではなく、どのような性質に注目して分類するかにより変化する。また、「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。

【0039】「実験物理学講座14表面・微粒子」（木下是雄編、共立出版1986年9月1日発行）では次のように記述されている。「本稿で微粒子と言うときにはその直径がだいたい2～3μm程度から10nm程度までとし、特に超微粒子というときは粒径10nm程度か

ら2～3nm程度までを意味することにする。両者を一括して単に微粒子と書くこともあっては厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十～数百個程度の場合はクラスターと呼ぶ。」（195ページ22～26行目）。

【0040】付言すると、新技術開発事業団の「林・超微粒子プロジェクト」での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。「創造科学技術推進制度の“超微粒子プロジェクト”（1981～1986）では、粒子の大きさ（径）がおおよそ1～100nmの範囲のものを“超微粒子”（ultrafine particle）と呼ぶことにした。すると1個の超微粒子はおおよそ100～10<sup>8</sup>個くらいの原子の集合体ということになる。原子の尺度でみれば超微粒子は大～巨大粒子である。」（「超微粒子—創造科学技術—」林主税、上田良二、田崎明編；三田出版1988年2ページ1～4行目）「超微粒子よりさらに小さいものの、すなわち原子が数個～数百個で構成される1個の粒子は、ふつうクラスターと呼ばれる」（同書2ページ12～13行目）。

【0041】上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は数オングストローム～10オングストローム程度、上限は数μm程度のものを指すこととする。

【0042】電子放出部5は、導電性薄膜4の一部に形成された高抵抗の亀裂により構成され、導電性薄膜4の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部5の内部には、数オングストロームから数百オングストロームの範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は導電性薄膜4を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部5及びその近傍の導電性薄膜4には、炭素あるいは炭素化合物を有することもできる。

【0043】次に、垂直型表面伝導型電子放出素子について説明する。図5は、本発明の表面伝導型電子放出素子を適用できる垂直型表面伝導型電子放出素子の一例を示す模式図である。図5においては、図4に示した部位と同じ部位には図4に付した符号と同一の符号を付している。21は、段差形成部である。基板1、素子電極2および3、導電性薄膜4、電子放出部5は、前述した平面型表面伝導型電子放出素子の場合と同様の材料で構成することができる。段差形成部21は、真空蒸着法、印刷法、スパッタ法等で形成された $SiO_2$ 等の絶縁性材料で構成することができる。段差形成部21の膜厚は、先に述べた平面型表面伝導型電子放出素子の素子電極間隔Lに対応し、数千オングストロームから数十マイクロメートルの範囲とすることができる。この膜厚は、段差形成部の製法、および、素子電極間に印加する電圧を考

慮して設定されるが、数百オングストロームから数マイクロメートルの範囲が好ましい。

【0044】導電性薄膜4は、素子電極2および3と段差形成部21作製後、該素子電極2、3の上に積層される。電子放出部5は、図5においては、段差形成部21に形成されているが、作製条件、フォーミング条件等に依存し、形状、位置ともこれに限られるものでない。

【0045】上述の表面伝導型電子放出素子の製造方法としては様々な方法があるが、その一例を図6に模式的に示す。

【0046】以下、図4及び6を参照しながら製造方法の一例について説明する。図6においても、図4に示した部位と同じ部位には図4に付した符号と同一の符号を付している。

【0047】(1)基板1を洗剤、純水および有機溶剤等を用いて十分に洗浄し、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて基板1上に素子電極2、3を形成する(図6(a))。

【0048】(2)素子電極2、3を設けた基板1に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜4の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、導電性薄膜4を形成する(図6(b))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性薄膜4の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法、スプレー法等の他パターンニングを必要としないインクジェット法、バブルジェット法を用いることもできる。

【0049】(3)つづいて本発明の特徴であるフォーミング工程について図1を用いて説明する。

【0050】通電フォーミングと呼ばれる通電処理は、素子電極2、3間に、不図示の電源より、通電し、導電性薄膜4の部位に、構造の変化した電子放出部5を形成するものである。この通電フォーミングにより導電性薄膜4を局所的に破壊、変形もしくは変質せしめ、構造の変化した部位を電子放出部5と呼ぶ。通電フォーミングの電圧波形の例を図2に示す。

【0051】図2におけるT1及びT2は、電圧波形のパルス幅とパルス間隔であり、T1を1マイクロ秒～10ミリ秒、T2を10マイクロ秒～100ミリ秒とし、三角波の波高値(通電フォーミングパルスのピーク電圧)は、例えば0.1Vステップ程度づつ、増加させ、適当な真空雰囲気下で印加する。尚、三角波の波高値と波高値での電流値を図3に示した。電流の波高値のピーク値をI<sub>max</sub>、この時の電圧をV<sub>max</sub>としている。

【0052】通常、通電フォーミング処理の終了は、三角波の最大電圧印加時の電流値がピークパルス間隔T

中に、導電性薄膜4を局所的に破壊、変形しない程度の電圧、例えば0.1V程度の電圧で、素子電流を測定し、抵抗値を求め、例えば、1Mオーム以上の抵抗を示した時、通電フォーミングを終了とする。しかし、前述した導電性薄膜の膜厚分布により高抵抗化が困難な場合、I<sub>max</sub>に対して一定の割合の電流値となったところ、あるいはV<sub>max</sub>に対して一定の割合の電圧となったところで第1回目のフォーミングを終了する。I<sub>max</sub>、V<sub>max</sub>に対する割合は該導電性薄膜の材料、平均膜厚により適当に設定するものであるが、好ましくは90%以下である。

【0053】(4)そして次に真空中における加熱処理、還元ガス雰囲気処理等により還元処理を行う。これは還元処理装置7(図1)に素子を装着し、導電性薄膜4の全面が完全に還元されるまで処理を行う。

【0054】(5)そして最後に還元後の導電性薄膜を、再度通電フォーミングする。工程の内容は第1回目と同様にして行い、素子電流を測定し、抵抗値を求め、例えば、1Mオーム以上の抵抗を示した時、通電フォーミングを終了する。ここで還元により膜厚が薄く抵抗の比較的高かった部分が低抵抗化し、電流が流れるようになるため低電圧でフォーミングが終了可能となるわけである。

【0055】(6)フォーミングを終えた素子には活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流I<sub>f</sub>、放出電流I<sub>e</sub>が、著しく変化する工程である。

【0056】活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、パルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内に排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため場合に依り適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケトン類、アミン類、フェノール、カルボン酸、スルホン酸等の有機酸類等を挙げることができ、具体的には、メタン、エタン、プロパンなどC<sub>n</sub>H<sub>2n+2</sub>で表される飽和炭化水素、エチレン、プロピレンなどC<sub>n</sub>H<sub>2n</sub>等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積

10

20

30

40

50

し、素子電流  $I_f$ 、放出電流  $I_e$  が、著しく変化するようになる。

【0057】活性化工程の終了判定は、素子電流  $I_f$  と放出電流  $I_e$  を測定しながら、適宜行う。なおパルス幅、パルス間隔、パルス波高値などは適宜設定される。

【0058】炭素および炭素化合物とは、例えばグラファイト（いわゆるHOPG）、PG（GC）を包含する、HOPGはほぼ完全なグラファイトの結晶構造、PGは結晶粒が200オングストローム程度で結晶構造がやや乱れたもの、GCは結晶粒が20オングストローム程度になり結晶構造の乱れがさらに大きくなったものを指す。）や非晶質カーボン（アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す）であり、その膜厚は、500オングストローム以下の範囲とするのが好ましく、300オングストローム以下の範囲とすることがより好ましい。

【0059】（7）このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質を排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブションポンプ、イオンポンプ等の真空排気装置を挙げることができる。

【0060】前記活性化の工程で、排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスを用いた場合は、この成分の分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記の炭素及び炭素化合物がほぼ新たに堆積しない分圧で  $1 \times 10^{-8}$  Torr 以下が好ましく、さらには  $1 \times 10^{-10}$  Torr 以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、80～200℃で5時間以上が望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 $1 \sim 3 \times 10^{-7}$  Torr 以下が好ましく、さらに  $1 \times 10^{-8}$  Torr 以下が特に好ましい。

【0061】安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することができる。

【0062】このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、結果として素子電流  $I_f$ 、放出電流  $I_e$  が、安定する。上述した工程を経て得られた本発明を適用可能な電子放

出素子の基本特性について図7、図8を参照しながら説明する。

【0063】図7は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図7においても、図4に示した部位と同じ部位には図4に付した符号と同一の符号を付している。図7において、55は真空容器であり、56は排気ポンプである。真空容器55内には電子放出素子が配されている。即ち、1は電子放出素子を構成する基体であり、2及び3は素子電極、4は導電性薄膜、5は電子放出部である。51は電子放出素子に素子電圧  $V_f$  を印加するための電源、50は素子電極2、3間の導電性薄膜4を流れる素子電流  $I_f$  を測定するための電流計、54は素子の電子放出部より放出される放出電流  $I_e$  を捕捉するためのアノード電極である。53はアノード電極54に電圧を印加するための高圧電源、52は素子の電子放出部5より放出される放出電流  $I_e$  を測定するための電流計である。一例として、アノード電極の電圧を1kV～10kVの範囲とし、アノード電極と電子放出素子との距離Hを2mm～8mmの範囲として測定を行うことができる。

【0064】真空容器55内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっていて、排気ポンプ56は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と更に、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒーターにより200℃まで加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

【0065】図8は、図7に示した真空処理装置を用いて測定された放出電流  $I_e$ 、素子電流  $I_f$  と素子電圧  $V_f$  の関係を模式的に示した図である。図8においては、放出電流  $I_e$  が素子電流  $I_f$  に比べて著しく小さいので、任意単位で示している。なお、縦・横軸ともリニアスケールである。図8からも明らかなように、本発明を適用可能な表面伝導型電子放出素子は、放出電流  $I_e$  に関して対する三つの特徴的な性質を有する。

【0066】即ち、（i）本素子はある電圧（しきい値電圧と呼ぶ、図8中の  $V_{th}$ ）以上の素子電圧を印加すると急激に放出電流  $I_e$  が増加し、一方しきい値電圧  $V_{th}$  以下では放出電流  $I_e$  がほとんど検出されない。つまり、放出電流  $I_e$  に対する明確なしきい値電圧  $V_{th}$  を持った非線形素子である。（ii）放出電流  $I_e$  が素子電圧  $V_f$  に単調増加依存するため、放出電流  $I_e$  は素子電圧  $V_f$  で制御できる。（iii）アノード電極54に捕捉される放出電荷は、素子電圧  $V_f$  を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧  $V_f$  を印加する時間により制御でき

る。

【0067】以上の説明より理解されるように、本発明を適用可能な表面伝導型電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

【0068】図8においては、素子電流  $I_f$  が素子電圧  $V_f$  に対して単調増加する（以下、「 $MI$  特性」という。）例を実線に示した。素子電流  $I_f$  が素子電圧  $V_f$  に対して電圧制御型負性抵抗特性（以下、「 $VCNR$  特性」という。）を示す場合もある（不図示）。これら特性は、前述の工程を制御することで制御できる。

【0069】本発明を適用可能な電子放出素子の応用例について以下に述べる。本発明を適用可能な表面伝導型電子放出素子の複数個を基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

【0070】電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動するはしご状配置のものがあ

る。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

【0071】本発明を適用可能な表面伝導型電子放出素子については、前述したとおり（i）～（iii）の特性がある。即ち、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御できる。

【0072】以下この原理に基づき、本発明を適用可能な電子放出素子を複数配して得られる電子源基板について、図9を用いて説明する。図9において、71は電子源基板、72はX方向配線、73はY方向配線である。74は表面伝導型電子放出素子、75は結線である。なお、表面伝導型電子放出素子74は、前述した平面型あるいは垂直型のどちらであってもよい。

【0073】m本のX方向配線72は、 $DX1$ 、 $DX2$ 、 $\dots$ 、 $DXm$ からなり、真空蒸着法、印刷法、スパ

ッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、幅は、適宜設計される。Y方向配線73は、 $DY1$ 、 $DY2$ 、 $\dots$ 、 $DYn$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している（m、nは、共に正の整数）。

【0074】不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された $SiO_2$ 等で構成される。例えば、X方向配線72を形成した基板71の全面或は一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。

【0075】表面伝導型放出素子74を構成する一对の電極（不図示）は、m本のX方向配線72とn本のY方向配線73と導電性金属等からなる結線75によって電氣的に接続されている。

【0076】配線72と配線73を構成する材料、結線75を構成する材料及び一对の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

【0077】X方向配線72には、X方向に配列した表面伝導型放出素子74の行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線73には、Y方向に配列した表面伝導型放出素子74の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0078】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図10と図11及び図12を用いて説明する。図10は画像形成装置の表示パネルの一例を示す模式図であり、図11は図10の画像形成装置に使用される蛍光膜の模式図である。図12はNTSC方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

【0079】図10において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は、支持枠であり該支持枠82には、リアプレート81、フェースプレート86がフリットガラス

等を用いて接続されている。88は外囲器であり、例えば大気中あるいは、窒素中で、400～500℃の温度範囲で10分以上焼成することで、封着して構成される。

【0080】74は、図4における電子放出部に相当する。72、73は、表面伝導型電子放出素子の一對の素子電極と接続されたX方向配線及びY方向配線である。

【0081】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成しても良い。一方、フェースプレート86、リアプレート81間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0082】図11は、蛍光膜を示す模式図である。蛍光膜84は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜84における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0083】ガラス基板83に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射させることにより輝度を向上させることと、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体の保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、「フィルミング」と呼ばれる。）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0084】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極（不図示）を設けてもよい。前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0085】図10に示した画像形成装置は、例えば以下のようにして製造される。外囲器88は、前述の安定化工程と同様に、適宜加熱しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置により不図示の排気管を通じて排気し、 $10^{-7}$  Torr程度の真空度の有機物質の十分少ない雰囲気にした後、封止が成される。外囲器88の封止後の真空度を維持するために、ゲッター処理を行うこともできる。これは、外囲器88の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器88内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常Ba等が主成分であり、該蒸着膜の吸着作用により、例えば $1 \times 10^{-5}$ ないしは $1 \times 10^{-7}$  Torrの真空度を維持するものである。ここで、表面伝導型電子放出素子のフォーミング処理以降の工程は、適宜設定できる。

【0086】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について、図12を用いて説明する。図12において、101は画像表示パネル、102は走査回路、103は制御回路、104はシフトレジスタである。105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、Vx及びVaは直流電圧源である。

【0087】表示パネル101は、端子Dox1～Doxm、端子Doy1～Doyn、及び高圧端子Hvを介して外部の電気回路と接続している。端子Dox1～Doxmには、表示パネル内に設けられている電子源、即ち、M行N列の行列状にマトリクス配線された表面伝導型電子放出素子群を一行（N素子）ずつ順次駆動するための走査信号が印加される。

【0088】端子Doy1～Doynには、前記走査信号により選択された一行の表面伝導型電子放出素子の各素子の出力電子ビームを制御するための変調信号が印加される。高圧端子Hvには、直流電圧源Vaより、例えば10K[V]の直流電圧が供給されるが、これは表面伝導型電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与するための加速電圧である。

【0089】走査回路102について説明する。同回路は、内部にM個のスイッチング素子を備えたもので（図中、S1ないしSmで模式的に示している）ある。各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0[V]（グラウンドレベル）のいずれか一方を選択し、表示パネル101の端子Dox1ないしDoxmと電気的に接続される。S1～Smの各スイッチング素子は、制御回路103が出力する制御信号Tscanに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0090】直流電圧源  $V_x$  は、本例の場合には表面伝導型電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0091】制御回路 103 は、外部より入力する画像信号に基づいて適切な表示が行われるように各部の動作を整合させる機能を有する。制御回路 103 は、同期信号分離回路 106 より送られる同期信号  $T_{sync}$  に基づいて、各部に対して  $T_{scan}$  及び  $T_{sft}$  及び  $T_{mry}$  の各制御信号を発生する。

【0092】同期信号分離回路 106 は、外部から入力される NTSC 方式のテレビ信号から同期信号成分と輝度信号成分とを分離するための回路で、一般的な周波数分離（フィルタ）回路等を用いて構成できる。同期信号分離回路 106 により分離された同期信号は、垂直同期信号と水平同期信号よりなるが、ここでは説明の便宜上  $T_{sync}$  信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上 DATA 信号と表した。該 DATA 信号はシフトレジスタ 104 に入力される。

【0093】シフトレジスタ 104 は、時系列的にシリアルに入力される前記 DATA 信号を、画像の 1 ライン毎にシリアル／パラレル変換するためのもので、前記制御回路 103 より送られる制御信号  $T_{sft}$  に基づいて動作する（即ち、制御信号  $T_{sft}$  は、シフトレジスタ 104 のシフトクロックであるということもできる。）。シリアル／パラレル変換された画像 1 ライン分（電子放出素子 N 素子分の駆動データに相当）のデータは、 $I_{d1} \sim I_{dn}$  の N 個の並列信号として前記シフトレジスタ 104 より出力される。

【0094】ラインメモリ 105 は、画像 1 ライン分のデータを必要時間の間だけ記憶するための記憶装置であり、制御回路 103 より送られる制御信号  $T_{mry}$  に従って適宜  $I_{d1} \sim I_{dn}$  の内容を記憶する。記憶された内容は、 $I'_{d1} \sim I'_{dn}$  として出力され、変調信号発生器 107 に入力される。

【0095】変調信号発生器 107 は、画像データ  $I'_{d1} \sim I'_{dn}$  の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調するための信号源であり、その出力信号は、端子  $D_{o1} \sim D_{on}$  を通じて表示パネル 111 内の表面伝導型電子放出素子に印加される。

【0096】前述したように、本発明を適用可能な電子放出素子は放出電流  $I_e$  に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧  $V_{th}$  があり、 $V_{th}$  以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は

生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値  $V_m$  を変化させることにより出力電子ビームの強度を制御することが可能である。また、パルスの幅  $P_w$  を変化させることにより出力される電子ビームの電荷の総量を制御することが可能である。

【0097】したがって、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 107 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0098】パルス幅変調方式を実施するに際しては、変調信号発生器 107 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0099】シフトレジスタ 104 やラインメモリ 105 は、デジタル信号式のものをもアナログ信号式のものをも採用できる。画像信号のシリアル／パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0100】デジタル信号式を用いる場合には、同期信号分離回路 106 の出力信号 DATA をデジタル信号化する必要があるが、これには 106 の出力部に A/D 変換器を設ければ良い。これに関連してラインメモリ 105 の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器 107 に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器 107 には、例えば D/A 変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器 107 には、例えば高速の発振器及び発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0101】アナログ信号を用いた電圧変調方式の場合、変調信号発生器 107 には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VCO）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0102】このような構成をとり得る本発明を適用可能な画像表示装置においては、各電子放出素子に、容器外端子  $D_{ox1} \sim D_{oxm}$ 、 $D_{oy1} \sim D_{oyn}$  を介し

て電圧を印加することにより、電子放出が生ずる。高圧端子Hvを介してメタルバック95、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0103】ここで述べた画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM方式など他、

これよりも、多数の走査線からなるTV信号（例えば、MUSE方式をはじめとする高品位TV）方式をも採用できる。

【0104】次に、はしご型配置の電子源及び画像形成装置について図13及び図14を用いて説明する。図13は、はしご型配置の電子源の一例を示す模式図である。図13において、110は電子源基板、111は電子放出素子である。112、Dx1~Dx10は、電子放出素子111を接続するための共通配線である。電子放出素子111は、基板110上に、X方向に並列に複数個配されている（これを素子行と呼ぶ）。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線Dx2~Dx9は、例えばDx2、Dx3を同一配線とすることもできる。

【0105】図14は、はしご型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するため空孔、122はDox1、Dox2、…、Doxmよりなる容器外端子である。123は、グリッド電極120と接続されたG1、G2、…、Gnからなる容器外端子、124は各素子行間の共通配線を同一配線とした電子源基板である。

【0106】図14においては、図10、図13に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図10に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0107】図14においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、表面伝導型放出素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリ

ッドの形状や設置位置は図14に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを表面伝導型放出素子の周囲や近傍に設けることもできる。

【0108】容器外端子122及びグリッド容器外端子123は、不図示の制御回路と電気的に接続されている。

【0109】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同様にグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0110】本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0111】

【実施例】

【実施例1】本実施例の電子放出素子として図4(a)（素子平面図）、(b)（素子断面図）に示すタイプの電子放出素子を形成した。その作製方法を図15を用いて以下で述べる。

【0112】絶縁性基板151として石英基板を用い、これを有機溶剤により十分に洗浄後、該基体151面上に、電極152、153を形成した（図15のa）。電極の材料として、金を用いた。電極間隔Lは10ミクロンメートルとし、電極の長さWを500ミクロンメートル、その厚さdを1000オングストロームとした。

【0113】次にバブルジェット（BJ）法による液滴付与手段を用いて上記電極間に有機パラジウム薄膜を塗布した後、350℃で10分間の加熱処理をして、酸化パラジウム（PdO）微粒子（平均粒径：20オングストローム）からなる微粒子膜（導電性薄膜）154を形成した。このとき、導電性薄膜154の半径を80ミクロンメートルとして電極152、153のほぼ中央部に配置した（図15のb）。なお、この導電性薄膜154のシート抵抗値は $3 \times 10^4 \Omega/\square$ であった。

【0114】ここで前記バブルジェット法による有機パラジウム薄膜は、液滴濃度や、重ね打ち回数、吐出条件によって膜厚、形状を制御するのであるが、上記加熱処理後、液滴の形状から図15(b)に示した様にドット形状となり、中心からドット周囲に向かって膜厚分布を持つことが多かった。膜厚は、中心が15nmで、周囲にいくほど薄くなっていた。

【0115】(3) 続いて本発明の特徴であるフォーミング工程について図15を用いて説明する。通電フォーミングと呼ばれる通電処理は、素子電極152、153間に、不図示の電源より、通電し、導電性薄膜154の一部に、構造の変化した部分155を形成するもの（図

15(c))で、通電フォーミングの電圧波形の例を図2に示す。

【0116】図2におけるT1およびT2は、電圧波形のパルス幅とパルス間隔であり、T1を1ミリ秒、T2を10ミリ秒とし、三角波の波高値（通電フォーミングパルスのピーク電圧）は、0.1Vステップずつ、増加させ、 $10^{-6}$  Torrの真空雰囲気下で印加した。なお、三角波の波高値と波高値での電流値を図3に示した。電流の波高値のピーク値 $I_{max}$ は8mA、この時の電圧 $V_{max}$ は8Vとなった。フォーミングの終了は $I_{max}$ に対して25%の2mAになったところとした。ここで後述する還元処理時に導電性薄膜の抵抗値をモニタするための未フォーミング素子を残しておく。

【0117】(4)そして次に還元ガス雰囲気、ここでは窒素希釈の2%水素大気圧雰囲気中で30分間還元処理を行った。これは密閉された還元処理容器157に素子を装着し、導電性薄膜154の全面が完全に還元されるまで処理を行うもので(図15d)、前述したモニタ素子はシート抵抗で $3 \times 10^2 \Omega/\square$ となった。

【0118】(5)そして最後に図15(e)に示した様に還元後の導電性薄膜を、再度通電フォーミングする。工程の内容は第1回目と同様にして行う。三角波の最大電圧印加時の電流値がピークパルス間隔T2中に、導電性薄膜154を局所的に破壊、変形しない程度の電圧、例えば0.1V程度の電圧で、素子電流を測定し、抵抗値を求め、1Mオーム以上の抵抗を示した時、通電フォーミングを終了した。ここで還元により膜厚が薄く抵抗の比較的高かった部分が低抵抗化し、電流が流れるようになるため電圧波高値のピーク $V_{max}$ 5Vという低電圧、電流波高値のピーク $I_{max}$ 10mAでフォーミングが終了した。フォーミング後、該導電性薄膜154を観察すると電子放出部となる亀裂155が該導電性薄膜を横断するかたちで端から端まで形成されていた(図15(e))。

【0119】以上のようにして作製された素子について、その素子間に素子電圧を印加して、その時に流れる素子電流 $I_f$ および放出電流 $I_e$ を測定し、向こう電流(%)を求めた。その結果、素子電圧が16Vの時、素子電流は2.5mA、放出電流は4.0 $\mu$ Aとなり、電子放出効率 $\eta$ は0.16%、無効電流は1%であった。再現性も良く100個製造して無効電流はすべて2%以下に抑えられていた。

【0120】なお、測定方法は以下のものである。

(測定方法) 図7は測定評価装置の概略構成図である。図7において、1は絶縁性基体、2および3は電極、5は電子放出領域、4は電気的接続を得るための導電膜、51は素子に電圧を印加するための電源、50は素子電流 $I_f$ を測定するための電流計、54は素子により発生する放出電流 $I_e$ を測定するためのアノード電極、53はアノード電極54に電圧を印加するための高圧電源、

52は放出電流を測定するための電流計である。ここで、上記素子電流とは、電流計50によって測定される電流量であり、また、上記放出電流とは、電流計52により測定される電流量である。電子放出素子の上記素子電流、放出電流の測定にあたっては、素子電流2、3に電源51と電流計50とを接続し、該電子放出素子の情報に電源53と電流計52とを接続したアノード電極54を配置し、真空度 $1 \times 10^{-5}$  torrの環境下で該測定を行う。測定結果から、無効電流は、図16に示すように、無効電流 $= (I_x / I_f) \times 100 [\%]$ 算出される。ここで、 $I_f$ は駆動電圧 $V_d$ における素子電流値であり、 $I_x$ は、素子電圧がゼロのときの素子電流値と素子放出し始める素子電圧 $V_e$ での素子電流値とを結ぶ直線の駆動電圧 $V_d$ での外挿値である。

【0121】[実施例2] 第1の実施例の表面伝導型電子放出素子を用いた画像形成装置を以下に図を用いて説明する。電子源の一部の平面図を図17に示す。また、図中のA-A'断面図を図18に示す。ただし、図17、図18、図19で、同じ記号を示したものは、同じものを示す。ここで71は基板、72は実施形態で説明した画像形成装置図10のDxmに対応するX方向配線（下配線とも呼ぶ）、73は図10のD<sub>yn</sub>に対応するY方向配線（上配線とも呼ぶ）、4は導電性薄膜、2、3は素子電極、181は層間絶縁層、182は素子電極5と下配線72と電気的接続のためのコンタクトホールである。本実施例ではX方向配線を300、Y方向配線を100形成し、30000個の表面伝導型電子放出素子を設けた構成とした。次に製造方法を図19により工程順に従って具体的に説明する。

#### 【0122】工程-a

清浄化した青板ガラス上に厚さ0.5ミクロンのシリコン酸化膜をスパッタ法で形成した基板71上に、真空蒸着により厚さ50ÅのCr、厚さ6000ÅのAuを順次積層した後、フォトリソ（AZ1370ヘキスト社製）をスピンナーにより回転塗布、バークした後、フォトリソ像を露光、現像して、下配線72のレジストパターンを形成し、Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線72を形成した(図19(a))。

#### 【0123】工程-b

次に厚さ1.0ミクロンのシリコン酸化膜からなる層間絶縁層181をRFスパッタ法により堆積した(図19(b))。

#### 【0124】工程-c

工程bで堆積したシリコン酸化膜にコンタクトホール182を形成するためのフォトリソパターンを作り、これをマスクとして層間絶縁層181をエッチングしてコンタクトホール182を形成した(図19(c))。エッチングはCF<sub>4</sub>とH<sub>2</sub>ガスを用いたRIE(Reactive Ion Etching)法によった。

## 【0125】工程-d

その後、素子電極2と素子電極間ギャップGとなるべきパターンをフォトリソスト(RD-2000N-41日立化成社製)形成し、真空蒸着法により、厚さ50ÅのTi、厚さ1000ÅのNiを順次堆積した。フォトリソストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオンし、素子電極間隔Gは20ミクロンとし、素子電極の幅Wを300ミクロン、となるよう素子電極2、3を形成した(図19(d))。

## 【0126】工程-e

素子電極2、3の上に上配線73のフォトリソストパターンを形成した後、厚さ50ÅのTi、厚さ5000ÅのAuを順次真空蒸着により堆積し、リフトオフにより不要の部分を除去して、所望の形状の上配線73を形成した(図20(e))。

## 【0127】工程-f

次に、不図示のマスクを用いて、導電性薄膜4を形成した(図20(f))。すなわち、素子間電極ギャップGおよびこの近傍に開口を有するマスクであり、このマスクにより膜厚1000ÅのCr膜191を真空蒸着により堆積・パターンニングし、そのうえに有機Pd(ccp4230奥野製薬(株)社製)をスピナーにより回転塗布、300℃で10分間の加熱焼成処理をした。また、こうして形成されたPdOxを主成分とした微粒子からなる導電性薄膜4の膜厚は100オングストローム、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。なおここで述べる微粒子膜とは、上述したように、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜を指し、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。

## 【0128】工程-g

Cr膜191および焼成後の導電性薄膜4を酸エッチャントによりエッチングして所望のパターンを形成した(図20(g))。

## 【0129】工程-h

コンタクトホール182部分以外にレジストを塗布するようなパターンを形成し、真空蒸着により厚さ50ÅのTi、厚さ5000ÅのAuを順次堆積した。リフトオフにより不要の部分を除去することにより、コンタクトホール182を埋め込んだ(図20(h))。

【0130】以上の工程により絶縁性基板71上に下配線72、層間絶縁層181、上配線73、素子電極2、3、導電性薄膜4等を形成した。

【0131】次に、以上のようにして作製した電子源を用いて表示装置を構成した例を、図10と図11を用いて説明する。以上のようにして多数の平面型の表面伝導型電子放出素子を作製した基板71をリアプレート81上に固定した後、基板71の5mm上方に、フェースブ

レート86(ガラス基板83の内面に蛍光膜84とメタルバック85が形成されて構成される)を支持枠82を介し配置し、フェースプレート86、支持枠82、リアプレート81の接合部にフリットガラスを塗布し、大気中で400℃で15分間焼成することで封着した(図10)。またリアプレート81への基板71の固定もフリットガラスで行った。図10において、74は電子放出素子、72、73はそれぞれX方向およびY方向の配線である。

10 【0132】蛍光膜84は、モノクロームの場合は蛍光体のみから成るが、本実施例では蛍光体はストライプ形状を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜84を作製した。ブラックストライプの材料として通常良く用いられている黒鉛を主成分とする材料を用いた。ガラス基板83に蛍光体を塗布する方法はスラリー法を用いた。

【0133】また、蛍光膜84の内面側には通常メタルバック85が設けられる。メタルバックは、蛍光膜作製後、蛍光膜84の内面側表面の平滑化処理(通常フィルミングと呼ばれる)を行い、その後、A1を真空蒸着することで作製した。

【0134】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外側面に透明電極(不図示)が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。

【0135】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

30 【0136】以上のようにして完成したガラス容器内の雰囲気は排気管(不図示)を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子Dox1~DoxmとDoy1~Doy nを通じ電子放出素子74の電極2、3間に電圧を印加し、実施例1と同様、電子放出部(図15の155)を、導電性薄膜(図15の154)をフォーミング処理することにより作製した。フォーミング処理の電圧波形を図2に示す。

【0137】図2におけるT1およびT2は、電圧波形のパルス幅とパルス間隔であり、T1を1ミリ秒、T2を10ミリ秒とし、三角波の波高値(通電フォーミングパルスのピーク電圧)は、0.1Vステップづつ、増加させ、 $10^{-6}$  torrの真空雰囲気下で印加した。

【0138】なお、三角波の波高値と波高値での電流値を図3に示した。1素子あたりの電流の波高値のピーク値Imaxは10mA、この時の電圧Vmaxは12Vとなった。フォーミングの終了はImaxに対して20%の1.4mAになったところとした。ここで後述する還元処理時に導電性薄膜の抵抗値をモニタするための未フォーミング素子を残しておく。

50 【0139】そして次に還元ガス雰囲気として窒素希釈

の2%水素を大気圧までガラス容器内に導入し、30分還元処理を行った。前述したモニタ素子はシート抵抗で $3 \times 10^2 \Omega/\square$ となった。

【0140】そして最後に還元後の導電性薄膜を、再度通電フォーミングした。工程の内容は第1回目同様である。三角波の最大電圧印加時の電流値がピークパルス間隔T2中に、導電性薄膜4を局所的に破壊、変形しない程度の電圧、例えば0.1V程度の電圧で、素子電流を測定し、抵抗値を求め、1Mオーム以上の抵抗を示した時、通電フォーミングを終了とした。

【0141】還元処理前は電子放出部を含むPdO微粒子膜自体の抵抗が20k $\Omega$ 、還元処理後はPdO微粒子膜の抵抗が1.45k $\Omega$ となり膜厚が薄く抵抗の比較的高かった部分が低抵抗化し、電流が流れるようになるため電圧波高値のピークVmax6Vという低電圧、電流波高値の1素子あたりのピークImax3.3mAでフォーミングが終了した。

【0142】以上のようにして還元を行った後フォーミングを再度行い、電子放出素子74を作製した。

【0143】次に10のマイナス6乗トール程度の真空中で、不図示の排気管をガスバーナーで熱することで溶着し外囲器の封止を行った。

【0144】最後に封止後の真空中を維持するために、ゲッター処理を行った。これは、封止を行う直前に、高周波加熱等の加熱法により、画像形成装置内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成処理した。ゲッターはBa等を主成分とした。

【0145】また、上述の工程で作製した平面型の表面伝導型電子放出素子の特性を把握するために、同時に、図1に示した平面型の表面伝導型電子放出素子のL、W等のものと同様にした標準的な比較サンプルを作製し、その電子放出特性の測定を上述の図7の測定評価装置を用いて行った。なお比較サンプルの測定条件は、アノード電極と電子放出素子間の距離を4mm、アノード電極の電位を1kV、電子放出特性測定時の真空装置内の真空中度を $1 \times 10$ のマイナス6乗torrとした。比較サンプルの電極5および6の間に素子電圧を印加し、その時に流れる素子電流Ifおよび放出電流Ieを測定したところ、図8に示したような電流-電圧特性が得られた。

【0146】本素子では、素子電圧9V程度から急激に放出電流Ieが認められ、素子電圧16Vでは素子電流Ifが2.0mA、放出電流Ieが3.6 $\mu$ Aとなり、Ie、Ifの素子間での変動範囲は10%以下であった。また、無効電流は30000個の素子すべて2%以下に抑えられていた。

【0147】次に、上述の単純マトリクス配置の電子源を用いて構成した表示パネル121を、NTSC方式のTV信号に応じて表示を行うため、前述の図12の駆動回路を用いてテレビジョンの表示を行った。なお、本実

施例における表示画像の変調方式には、パルス幅変調方式を用いた。

【0148】以上のようにして完成した本発明に好適な画像形成装置において、各電子放出素子（図10参照）に、容器外端子Dox1ないしDoxm、Doy1ないしDoy nを通じ、電圧を印加することにより、電子放出させ、高圧端子Hvを通じ、メタルバック85、あるいは透明電極（不図示）に10kVの高圧を印加し、電子ビームを加速し、蛍光膜84に衝突させ、励起・発光させることで、低電圧駆動、低消費電力で、良好な画像を表示した。

【0149】以上述べた様に本発明の還元処理前後フォーミングにより、低消費電力で駆動可能な電子源および、これを用いた輝度分布の少ない均一画像形成装置が実現できた。

【0150】〔実施例3〕図21は、本発明による表面伝導型放出素子を電子ビーム源として用いたディスプレイパネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図中、200はディスプレイパネル、201はディスプレイパネルの駆動回路、202はディスプレイコントローラ、203はマルチプレクサ、204はデコーダ、205は入出力インターフェース回路、206はCPU、207は画像生成回路、208および209および210は画像メモリーインターフェース回路、211は画像入力インターフェース回路、212および213はTV信号受信回路、214は入力部である。なお、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカーなどについては説明を省略する。以下、画像信号の流れに沿って各部の機能を説明していく。

【0151】まず、TV信号受信回路213は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でも良い。また、これらよりさらに多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路213で受信されたTV信号は、デコーダ204に出力される。

【0152】TV信号受信回路212は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路213と同様に、受信するTV信

号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ204に出力される。画像入力インターフェース回路211は、例えばTVカメラや画像読み取りスキャナーなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ204に出力される。画像メモリーインターフェース回路210は、ビデオテープレコーダー（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ204に出力される。画像メモリーインターフェース回路209は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ204に出力される。画像メモリーインターフェース回路208は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ204に入力される。

【0153】入出力インターフェース回路205は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンターなどの出力装置とを接続するための回路である。画像データや文字・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU206と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0154】画像生成回路207は、前記入出力インターフェース回路205を介して外部から入力される画像データや文字・図形情報や、あるいはCPU206より出力される画像データや文字・図形情報に基づき表示画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリーや、文字コードに対応する画像パターンが記憶されている読出し専用メモリーや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。本回路により生成された表示用画像データは、デコーダ204に出力されるが、場合によっては前記入出力インターフェース回路205を介して外部のコンピュータネットワークやプリンターに出力することも可能である。

【0155】CPU206は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。例えば、マルチプレクサ203に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ202に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。また、前記画像生成回路207に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路205を介して外部のコンピュ

ータやメモリーをアクセスして画像データや文字・図形情報を入力する。なお、CPU206は、むろんこれ以外の目的の作業にも関わるものであって良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良いあるいは、前述したように入出力インターフェース回路205を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0156】入力部214は、前記CPU206に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いることが可能である。

【0157】デコーダ204は、前記207ないし213より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ204は内部に画像メモリーを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリーを必要とするようなテレビ信号を扱うためである。また、画像メモリーを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路207およびCPU206と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0158】マルチプレクサ203は、前記CPU206より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ203はデコーダ204から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路201に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0159】また、ディスプレイパネルコントローラ202は、前記CPU206より入力される制御信号に基づき駆動回路201の動作を制御するための回路である。まず、ディスプレイパネルの基本的な動作に関わるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路201に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路201に対して出力する。また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路201に対して出力する場合もある。また、駆動回路201は、ディスプレイパ

ネル 200 に印加する駆動信号を発生するための回路であり、前記マルチプレクサ 203 から入力される画像信号と、前記ディスプレイパネルコントローラ 202 より入力される制御信号に基づいて動作するものである。

【0160】以上、各部の機能を説明したが、図 21 に例示した構成により、本表示装置においては多様な画像情報源により入力される画像情報をディスプレイパネル 200 に表示することが可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ 204 において逆変換された後、マルチプレクサ 203 に 10 において適宜選択され、駆動回路 201 に入力される。一方、ディスプレイコントローラ 202 は、表示する画像信号に応じて駆動回路 201 の動作を制御するための制御信号を発生する。駆動回路 201 は、上記画像信号と制御信号に基づいてディスプレイパネル 200 に駆動信号を印加する。これにより、ディスプレイパネル 200 において画像が表示される。これらの一連の動作は、CPU 206 により統括的に制御される。

【0161】また、本表示装置においては、前記デコーダ 204 に内蔵する画像メモリや、画像生成回路 207 20 および情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行うことも可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画 30 像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備えることが可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0162】なお、上記図 21 は、表示伝導型電子放出素子を電子ビーム源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものでないことは言うまでもない。例えば、図 21 の構成要素のうち使用目的上必要のない機能に関わ 40 る回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

【0163】本表示装置においては、とりわけ表面伝導型電子放出素子を電子ビーム源とするディスプレイパネルの薄形化が容易なため、表示装置の奥行きを小さくすることができる。それに加えて、表面伝導型電子放出素子を電子ビーム源とするディスプレイパネルは輝度が高 50

く視野角特性にも優れるため、本表示装置は臨場感にあふれた画像を視認性良く表示することが可能である。また、本発明の製造方法により均一な電子放出特性と、低消費電力駆動が実現されたビーム源を製造可能となったため、低消費電力で、均一な明るい高品位なカラーフラットテレビが、実現され、さらに表面伝導型電子放出素子を製造する際、膜厚分布が比較的大きい印刷法や、インクジェット法バブルジェット法等の大面積、および大量生産技術が利用可能となったため、臨場感にあふれた迫力に富んだ大画面画像形成装置が容易に製造可能となった。

#### 【0164】

【発明の効果】以上説明したように、本発明によれば、電子放出素子の製造歩留まりおよび消費電力を小さくすることが可能となり、低消費電力な電子源およびこれを用いた高品位な画像表示装置が実現可能となる。更に、素子を構成する導電性薄膜の形成を印刷、バブルジェット法、インクジェット法、スプレー塗布法などを用いた大量生産も可能になる。

#### 【図面の簡単な説明】

【図 1】 本発明の基本的な表面伝導型電子放出素子の製造方法を示す模式的断面図である。

【図 2】 本発明に好適な通電フォーミングの電圧波形の例を示す図である。

【図 3】 本発明に好適な通電フォーミングの電圧波高値と電流波高値の関係を示す図である。

【図 4】 本発明に好適な基本的な表面伝導型電子放出素子の構成を示す模式的平面図および断面図である。

【図 5】 本発明に好適な基本的な垂直型表面伝導型電子放出素子の構成を示す模式的断面図であ 30

【図 6】 本発明の一実施形態に係る製造方法を示す図である。

【図 7】 電子放出特性を測定するための測定評価装置の概略構成図である。

【図 8】 本発明の表面伝導型電子放出素子の放出電流  $I_e$  および素子電流  $I_f$  と素子電圧  $V_f$  の関係の典型的な例を示すグラフである。

【図 9】 本発明が適用しうる単純マトリクス配置の電子源を説明する模式図である。

【図 10】 本発明が適用しうる単純マトリクス配置の電子源を用いた画像形成装置の表示パネルの概略構成図である。

【図 11】 図 10 のパネルに適用しうる蛍光膜を示す図である。

【図 12】 本発明が適用しうる画像形成装置を NTS C 方式のテレビ信号に応じて表示を行なう例の駆動回路のブロック図である。

【図 13】 本発明が適用しうる梯子配置の電子源を示す図である。

【図 14】 本発明が適用しうる梯子配置の電子源を用

いた画像形成装置の表示パネルの概略構成図である。

【図 15】 本発明が適用しうる本発明に好適な表面伝導型電子放出素子の製造方法の一例を示す図である。

【図 16】 本発明の表面伝導型電子放出素子の放出電流  $I_e$  および素子電流  $I_f$  と素子電圧  $V_f$  の関係の典型的な例を示すグラフである。

【図 17】 本発明が適用しうる単純マトリクス配置の電子源の一部の平面図である。

【図 18】 図 15 中の A-A' 断面図である。

【図 19】 本発明が適用しうる単純マトリクス配置の 10 電子源の製造方法を示す図である。

【図 20】 本発明が適用しうる単純マトリクス配置の電子源の製造方法を示す図である。

【図 21】 本発明が適用しうる画像形成装置を用いた表示装置の例を示す図である。

【図 22】 従来の表面伝導型電子放出素子のフォーミングによる形態の平面図およびフォーミング時の素子等価回路図である。

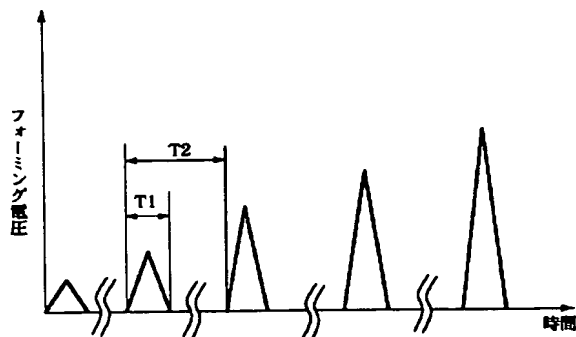
【図 23】 従来の表面伝導型電子放出素子を示す図である。

【符号の説明】

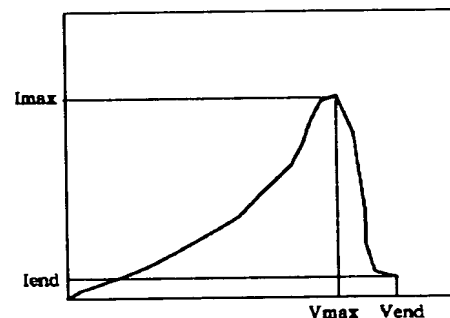
1 : 基板、2, 3 : 素子電極、4 : 導電性薄膜、5 : 電子放出部、21 : 段さ形成部、50 : 素子電極 2、3 間の導電性薄膜 4 を流れる素子電流  $I_f$  を測定するための電流計、51 : 電子放出素子に素子電圧  $V_f$  を印加するための電源、52 : 素子の電子放出部より放出される放出電流  $I_e$  を測定するための電流計、53 : アノード電極 74 に電圧を印加するための高圧電源、54 : 素子の電子放出部より放出される放出電流  $I_e$  を捕捉するため

のアノード電極、55 : 真空装置、56 : 排気ポンプ、71 : 電子源基板、72 : X 方向配線、73 : Y 方向配線、74 : 表面伝導型電子放出素子、75 : 結線、81 : リアプレート、82 : 支持枠、83 : ガラス基板、84 : 蛍光膜、85 : メタルバック、86 : フェースプレート、87 : 高圧端子、88 : 外囲器、91 : 黒色導電材、92 : 蛍光体、101 : 表示パネル、102 : 走査回路、103 : 制御回路、104 : シフトレジスタ、105 : ラインメモリ、106 : 同期信号分離回路、107 : 変調信号発生器、110 : 電子源基板、111 : 電子放出素子、112 : 電子放出素子を配線するための共通配線、120 : グリッド電極、121 : 電子が通過するため空孔、122 :  $D \times 1$ 、 $D \times 2$ 、 $\dots$ 、 $D \times m$  よりなる容器外端子、123 : グリッド電極 120 と接続された  $G1$ 、 $G2$ 、 $\dots$ 、 $Gn$  からなる容器外端子、124 : 電子源基板、151 : 基板、152、153 : 素子電極、154 : 導電性薄膜、155 : 電子放出部、157 : 還元装置、181 : 層間絶縁層、182 : コンタクトホール、191 : Cr 膜、200 : ディスプレイパネル、201 : ディスプレイパネルの駆動回路、202 : ディスプレイコントローラ、203 : マルチプレクサ、204 : デコーダ、205 : 入出力インターフェース回路、206 : CPU、207 : 画像生成回路、208、209、210 : 画像メモリーインターフェース回路、211 : 画像入力インターフェース回路、212、213 : TV 信号受信回路、214 : 入力部、217 : 導電性薄膜の中央部、218、219 : 導電性薄膜の端部、221 : 基板、223 : 電子放出部、224 : 導電性薄膜。

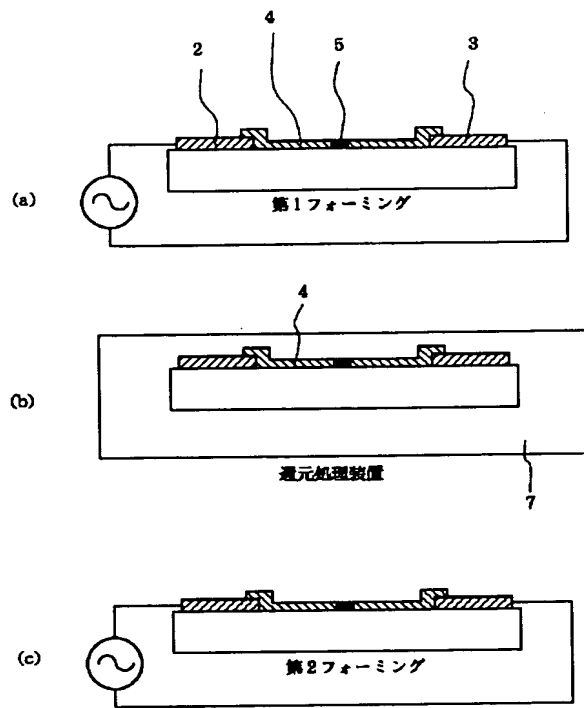
【図 2】



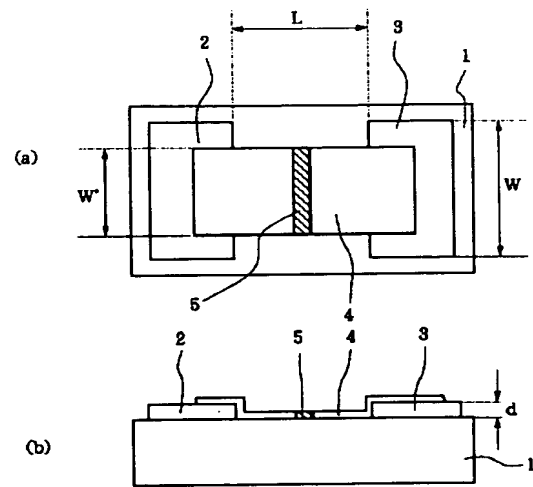
【図 3】



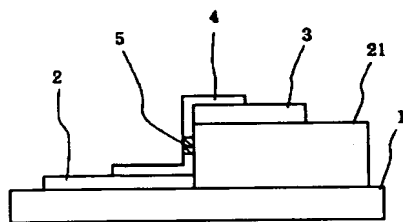
【図 1】



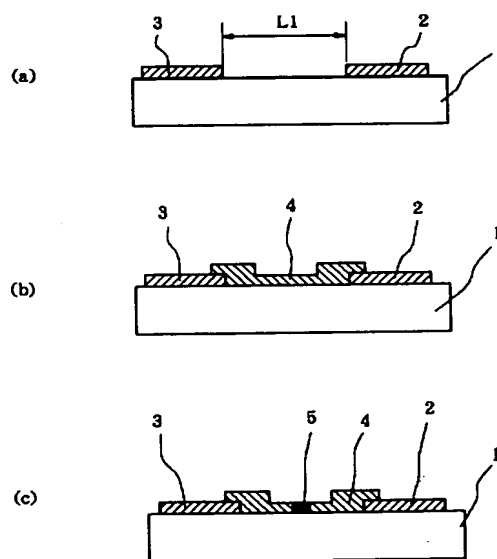
【図 4】



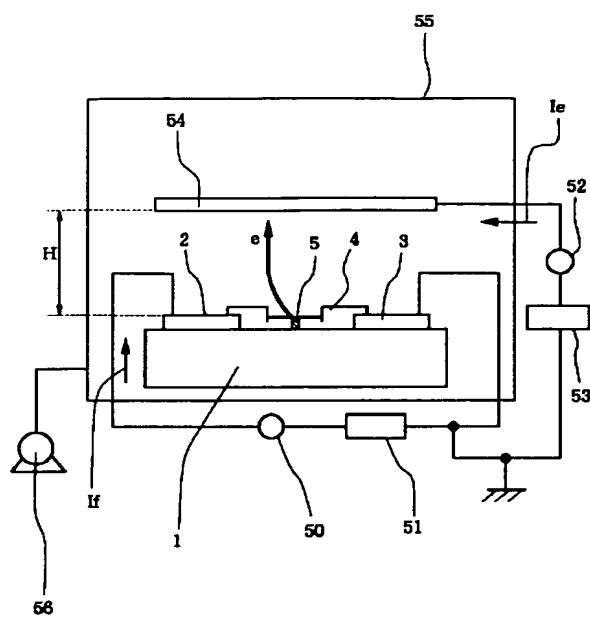
【図 5】



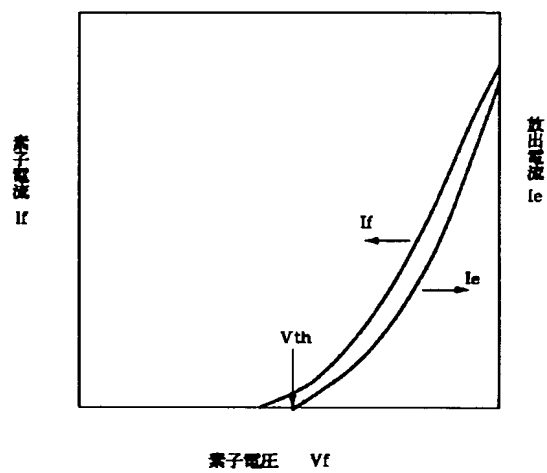
【図 6】



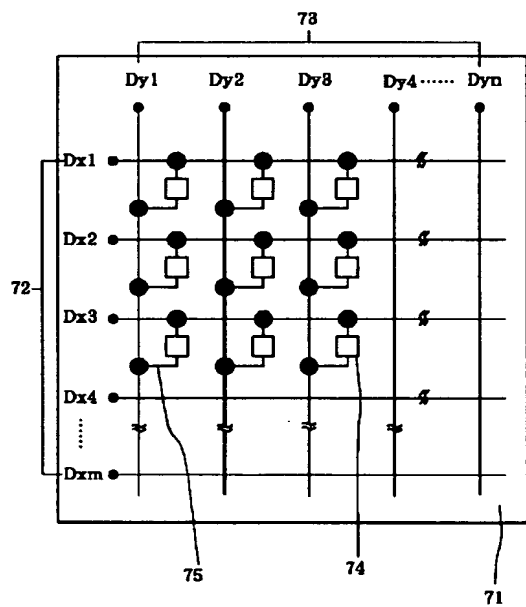
【図7】



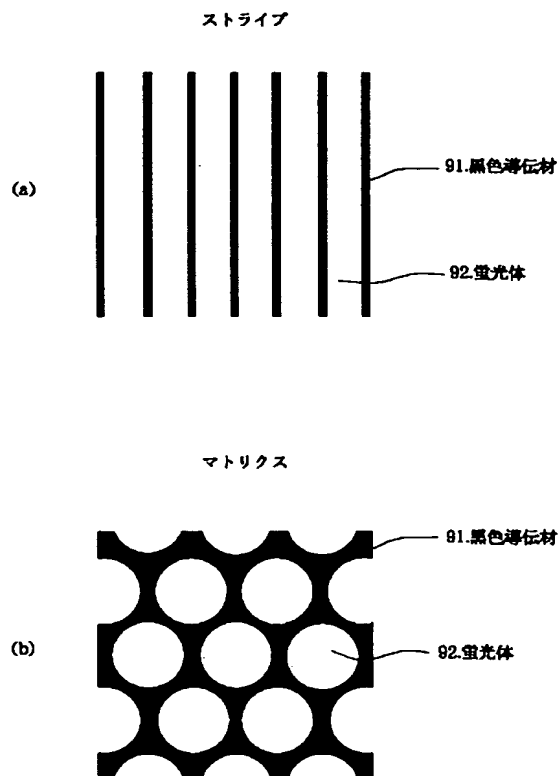
【図8】



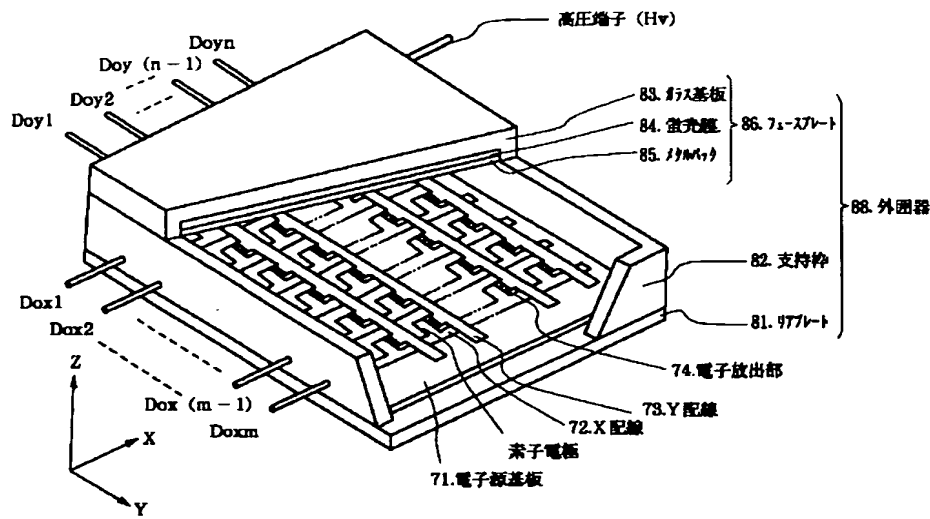
【図9】



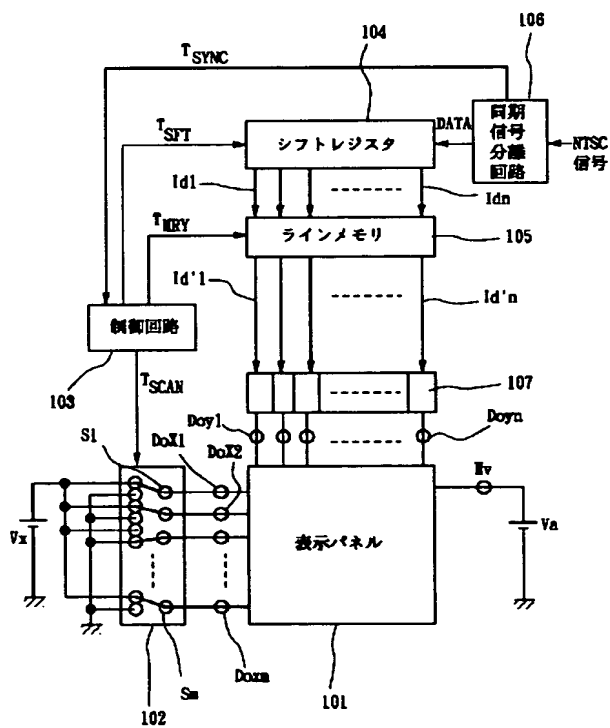
【図11】



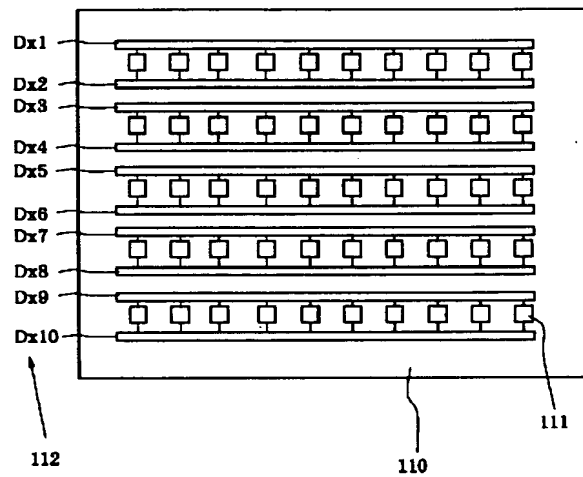
【図 10】



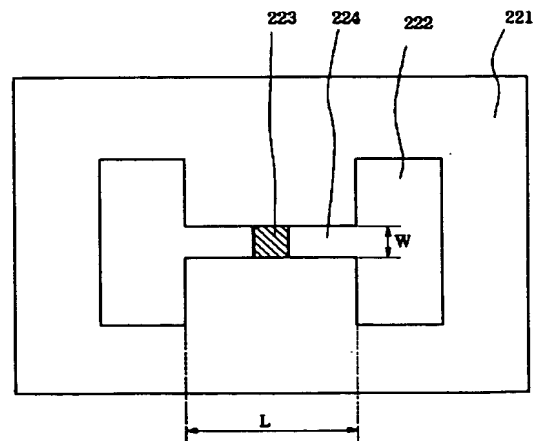
【図 12】



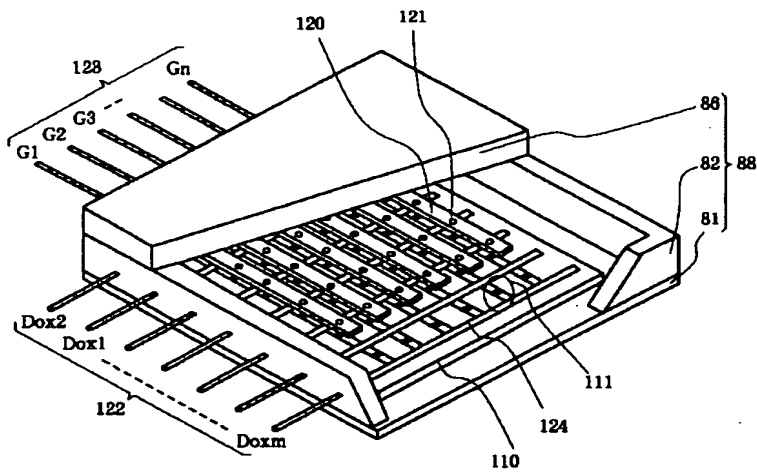
【図 13】



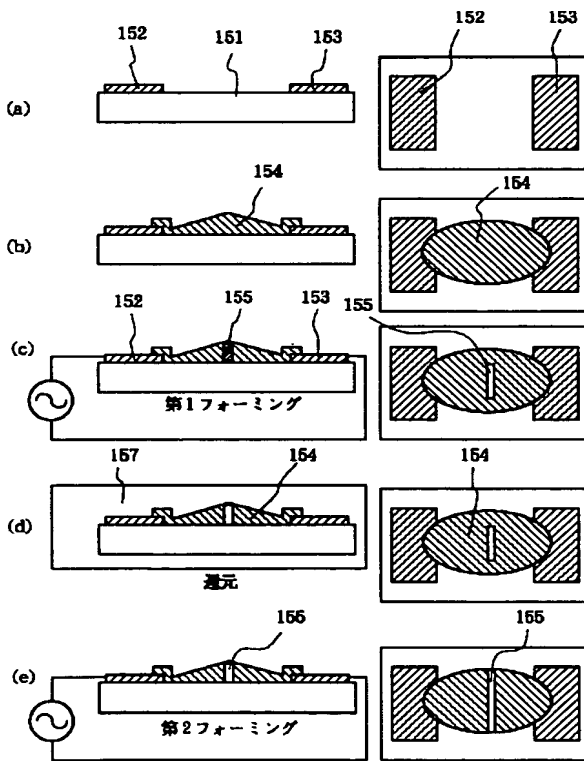
【図 23】



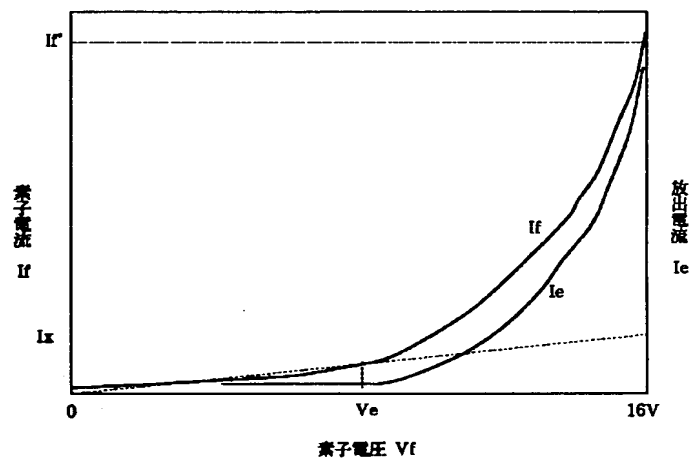
【図14】



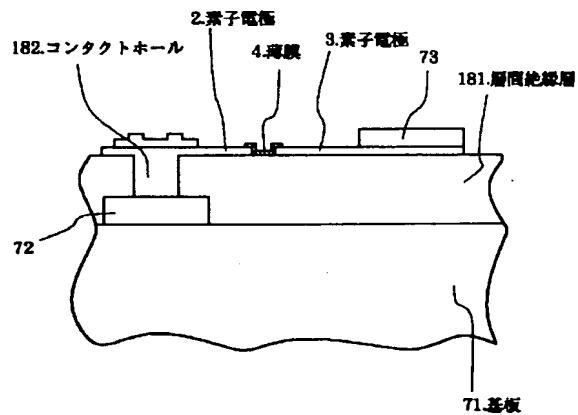
【図15】



【図16】

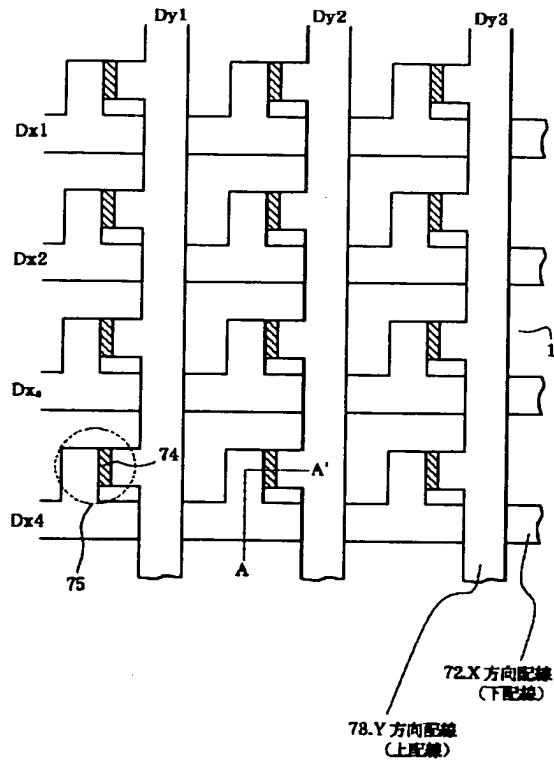


【図18】

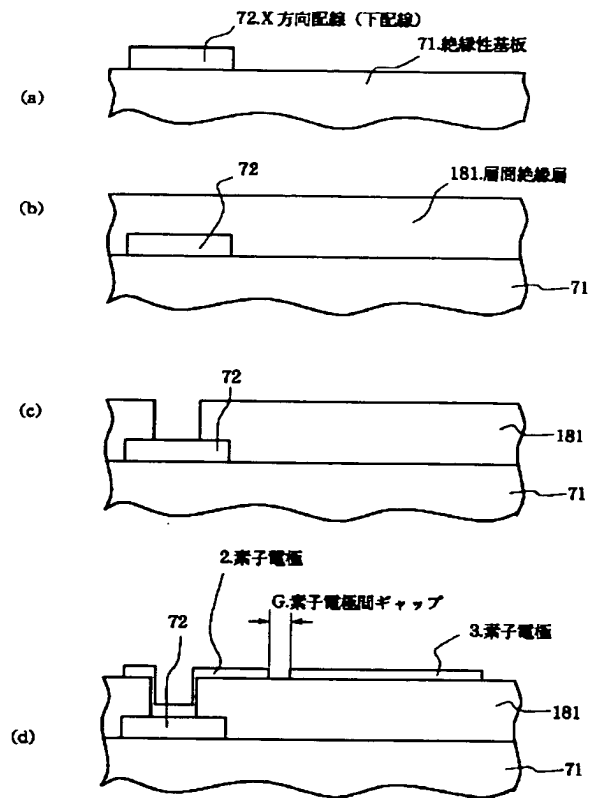


A-A' 断面図

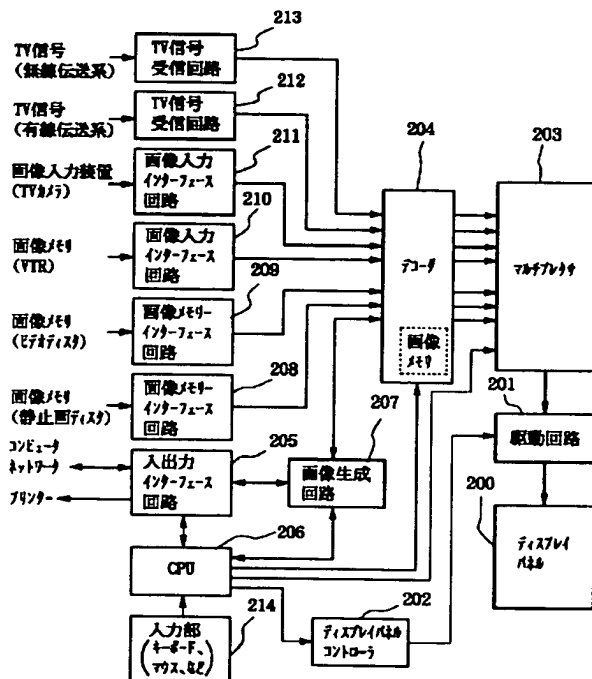
【図 17】



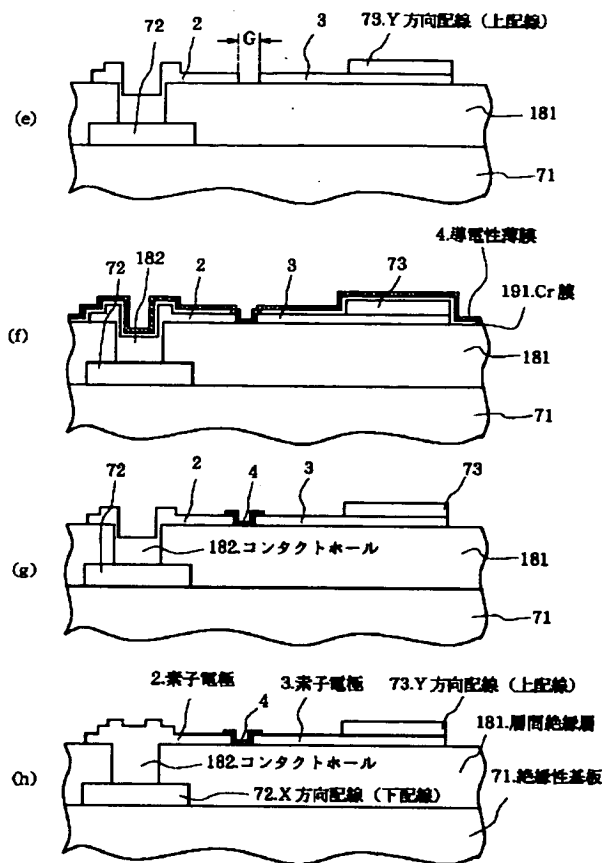
【図 19】



【図 21】



【図20】



【図22】

